

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-028311  
(43)Date of publication of application : 28.01.2000

(51)Int.Cl. G01B 7/28  
G06T 1/00

(21) Application number : 10-193455

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22) Date of filing : 08.07.1998

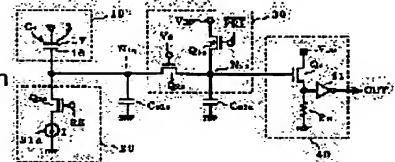
(72)Inventor : MORIMURA HIROTOSHI  
SHIGEMATSU TOMOSHI  
MACHIDA KATSUYUKI  
HIRATA AKIHIKO

## (54) SURFACE SHAPE RECOGNITION SENSOR CIRCUIT

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To improve a detecting accuracy of a surface shape recognition circuit by providing an amplifier circuit for amplifying a level of a signal by a signal generating means (detecting element) to produce an output to an output circuit.

**SOLUTION:** The surface shape recognition sensor circuit recognizes a surface shape having a fine protrusion and recess pattern such as a person's fingerprint, an animal's muzzle pattern or the like. In a detecting element 10 in which an electric amount is changed according to a finger's contact with an object to be recognized, a finger's skin brought into contact with a passivation film 17 functions as an electrode, and an electrostatic capacity is formed between the electrode and a sensor electrode 16. This capacity alters according to the finger's protrusion and recess pattern for forming the fingerprint. After an output signal of the element 10 is level amplified by an amplifier 30, the signal is converted into a desired signal, and output from each sensing unit. The signal output from the each unit is a signal for reflecting the protrusion and recess pattern of the fingerprint. Accordingly, a fingerprint pattern can be detected based on the signals.



## LEGAL STATUS

[Date of request for examination] 24.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3314355

[Date of registration] 07.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] Two or more detection means by which it is arranged two-dimensional and quantity of electricity changes with contact for recognition, 1st signal generation means to generate the signal according to quantity of electricity of said detection means, In the sensor circuit for surface type-like recognition where it has an output means to change and output the signal by said 1st signal generation means, and the shape of surface type for [ said ] recognition is recognized based on the output signal of said output means The sensor circuit for surface type-like recognition characterized by having a magnification means to be connected to the input side of said output means, and to amplify the level of the signal by said 1st signal generation means, and to output to said output means.

[Claim 2] It is the sensor circuit for surface type-like recognition characterized by being arranged near said detection means by which each of said 1st signal generation means and said magnification means corresponds in claim 1.

[Claim 3] It is the sensor circuit for surface type-like recognition characterized by being arranged near said magnification means by which said output means corresponds in claim 2.

[Claim 4] claims 1-3 -- the sensor circuit for surface type-like recognition characterized by sharing said 1st signal generation means by said two or more detection means to approach mutually, in any or the 1st term.

[Claim 5] claims 1-3 -- the sensor circuit for surface type-like recognition characterized by sharing said magnification means by said two or more detection means to approach mutually, in any or the 1st term.

[Claim 6] claims 1-3 -- the sensor circuit for surface type-like recognition characterized by sharing said output means by said two or more detection means to approach mutually, in any or the 1st term.

[Claim 7] claims 1-3 -- the sensor circuit for surface type-like recognition characterized by preparing each of said 1st signal generation means, said magnification means, and said output means for said every detection means in any or the 1st term.

[Claim 8] In any or the 1st term claims 1-7 -- said magnification means One input terminal and two output terminals It has. One [ said ] output terminal The 1st component from which it connects with said detection means and the output terminal of said another side is connected to said output means, said input terminal is connected to the source of a constant voltage, and between said each output terminal will be in switch-on when the absolute value of the potential difference between said input terminal and one [ said ] output terminal is larger than the absolute value of a threshold, So that it may connect with the output terminal of said another side of this 1st component and the absolute value of the potential difference between said input terminal of said 1st component and one [ said ] output terminal may turn into below the absolute value of said threshold at the time of a halt of said 1st signal generation means The sensor circuit for surface type-like recognition characterized by having the 1st switching means which impresses an electrical potential difference to the output terminal of said another side, and stops impression of said electrical potential difference at the time of actuation of said 1st signal generation means.

[Claim 9] claims 1-7 -- the sensor circuit for surface type-like recognition characterized by having a reference signal generating means to connect with the input side of said magnification means, and to

generate a reference signal in any or the 1st term, and said magnification means including a means to change amplification degree based on the size of the level of the signal by said 1st signal generation means, and the level of said reference signal.

[Claim 10] Said means included in said magnification means in claim 9 is a sensor circuit for surface type-like recognition which makes said amplification degree small when the level of the signal by said 1st signal generation means is smaller than the level of said reference signal, and is characterized by being the means which enlarges said amplification degree when the level of the signal by said 1st signal generation means is larger than the level of said reference signal.

[Claim 11] It is the sensor circuit for surface type-like recognition characterized by being the signal of the same level as the signal which generates said reference signal from said 1st signal generation means in claim 9 or 10 corresponding to predetermined quantity of electricity of said detection means.

[Claim 12] It is the sensor circuit for surface type-like recognition characterized by having generated said reference signal corresponding to said predetermined quantity of electricity of a criteria means by which said reference signal generating means has said predetermined quantity of electricity in claim 11, and said criteria means, and having said 1st signal generation means and the 2nd signal generation means of the same configuration.

[Claim 13] It is the sensor circuit for surface type-like recognition characterized by being the component or semiconductor device in which said criteria means was formed in claim 12 using wiring.

[Claim 14] In claim 12 or 13 said magnification means The 1st and 2nd components from which it has one input terminal and two output terminals, and between said each output terminal will be in switch-on when the absolute value of the potential difference of said input terminal and one [ said ] output terminal is larger than the absolute value of a threshold, While one [ said ] output terminal is connected to said detection means, as for said 1st component, said input terminal is connected to the output terminal of said another side of said 2nd component. Said 2nd component While one [ said ] output terminal is connected to said criteria means, said input terminal is connected to the output terminal of said another side of said 1st component. Said 1st [ the ] To and the output terminal of said another side of each 2nd component So that it may connect and the absolute value of the potential difference of said input terminal of each of said 1st and 2nd components and one [ said ] output terminal may turn into below the absolute value of said threshold at the time of a halt of said 1st and 2nd signal generation means It has the 2nd switching means which impresses an electrical potential difference to the output terminal of each of said another side, and stops impression of said electrical potential difference at the time of actuation of said 1st and 2nd signal generation means. The sensor circuit for surface type-like recognition characterized by connecting said output means at least to one side of the output terminal of said another side of each of said 1st and 2nd components.

[Claim 15] It is the sensor circuit for surface type-like recognition characterized by being the output means of the differential form where said output means was connected to both output terminals of said another side of each of said 1st and 2nd components in claim 14.

[Claim 16] In claim 14 or 15 said magnification means Furthermore While connecting between the output terminals of said another side of each of said 1st and 2nd components and short-circuiting between the output terminals of each of said another side at the time of a halt of said 1st and 2nd signal generation means The sensor circuit for surface type-like recognition characterized by having the 3rd switching means which opens between the output terminals of each of said another side at the time of actuation of said 1st and 2nd signal generation means.

[Claim 17] claims 9-16 -- the sensor circuit for surface type-like recognition characterized by arranging said reference signal generating means near said magnification means to correspond, in any or the 1st term.

[Claim 18] claims 9-17 -- the sensor circuit for surface type-like recognition characterized by sharing said reference signal generating means by said two or more magnification means to approach mutually, in any or the 1st term.

- [Claim 19] claims 9–17 -- the sensor circuit for surface type-like recognition characterized by establishing said reference signal generating means for said every magnification means in any or the 1st term.
- [Claim 20] claims 1–20 -- the sensor circuit for surface type-like recognition which said detection means is capacity and is characterized by connecting the input side of said magnification means at the joint of said detection means and said 1st signal generation means in any or the 1st term.
- [Claim 21] claims 1–20 -- the sensor circuit for surface type-like recognition which said detection means is a variable resistive element from which resistance changes with contact for recognition, and is characterized by carrying out series connection of the 1st [ said ] signal generation means, said detection means, and said magnification means to this order in any or the 1st term.
- [Claim 22] claims 1–20 -- the sensor circuit for surface type-like recognition which said detection means is a switching device which is formed by the micro machine technique, and opens and closes a circuit based on contact for recognition, and is characterized by carrying out series connection of the 1st [ said ] signal generation means, said detection means, and said magnification means to this order in any or the 1st term.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

**[Field of the Invention]** This invention relates to the sensor circuit for surface type-like recognition which recognizes the shape of surface type which has detailed irregularity, such as human being's fingerprint and a muzzle pattern of an animal.

#### [0002]

**[Description of the Prior Art]** As a sensor which recognizes the shape of surface type, what used especially fingerprint detection as the target is reported. Moreover, the sensor of a capacity detection form using the LSI manufacturing technology as a technique of detecting the pattern of a fingerprint is proposed. This is 'ISSCC DIGEST OF TECHNICAL PAPERS'. FEBRUARY1998 It is indicated by pp.284–285. The sensor of a capacity detection form detects the electrostatic capacity formed on an LSI chip between the electrode of the small sense unit arranged by two-dimensional, and the skin of the finger touched through the insulator layer, and senses the concavo-convex pattern of a fingerprint. Since the values of the capacity formed of the irregularity of a fingerprint differ, the irregularity of a fingerprint can be sensed by detecting this capacity difference.

**[0003]** Drawing 20 is the block diagram showing the basic configuration of the conventional sensor circuit for surface type-like recognition which used this principle. That is, the conventional sensor circuit for surface type-like recognition is constituted by the sensing element 110 which consists of

electrostatic capacity formed between an electrode and the skin of the finger touched through the insulator layer, the signal generating circuit 120 which generates the voltage signal according to the value of the electrostatic capacity of a sensing element 110, and the output circuit 140 which changes and outputs the voltage signal by the signal generating circuit 120.

[0004] Drawing 21 is the plot plan of the conventional sensor circuit for surface type-like recognition. This sensor circuit for surface type-like recognition has two or more above-mentioned sensing elements 110, signal generating circuits 120, and output circuits 140 every, respectively. among these, a sensing element 110 and a signal generating circuit 120 -- the sense unit 101 of a lot consists of every one piece each, on an LSI chip, two-dimensional array of each sense unit 101 is carried out, and it forms the sensor array 102. Moreover, each output circuit 140 is arranged around the sensor array 102, and forms the output section 104.

[0005] Since the value of the electrostatic capacity of a sensing element 110 is decided by distance of the electrode of the sense unit 101, and the skin of a finger, the value of the electrostatic capacity of a sensing element 110 changes with irregularity of a fingerprint. Therefore, if the depression of the finger is carried out on the sensor array 102, the voltage signal according to the irregularity of a fingerprint will be outputted from each sense unit 101. This voltage signal is changed into the signal of the request which reflected the irregularity of a fingerprint in the output section 104, and a fingerprint pattern is detected.

[0006] Then, it explains in more detail about the configuration and actuation of the sensor circuit for surface type-like recognition which were shown in drawing 20. Drawing 22 is the circuit diagram of this sensor circuit for surface type-like recognition. In drawing 22,  $C_f$  is electrostatic capacity formed between the electrode of the sense unit 101, and the skin of the finger touched through the insulator layer. The electrode of the sense unit 101 is connected to the input side of the current source 121 of Current I through the NchMOS transistor Q3. Moreover, the input side of an output circuit 140 is connected at the joint N1 of an electrode and a transistor Q3. Moreover, supply voltage VDD is impressed to a joint N1 through the PchMOS transistor Q1. This joint N1 has parasitic capacitance  $C_p1$ . Furthermore, Signals PRE (bar) and RE are impressed to the gate terminal of transistors Q1 and Q3, respectively. A sensing element 110 is constituted by capacity  $C_f$  and a signal generating circuit 120 is constituted by a current source 121 and the transistor Q3.

[0007] Drawing 23 is a timing chart for explaining actuation of the sensor circuit for surface type-like recognition shown in drawing 22. At first, the signal PRE (bar) of High level (VDD) is given to the gate terminal of a transistor Q1, and the signal RE of Low level (GND) is given to the gate terminal of a transistor Q3. Therefore, neither of transistors Q1 and Q3 have flowed at this time. If Signal PRE (bar) changes from High level to Low level in this condition, a transistor Q1 will be in switch-on. At this time, since a transistor Q3 is still non-switch-on, the potential of a joint N1 is precharged at VDD.

[0008] After precharge is completed, Signal RE changes to High level at the same time Signal PRE (bar) changes to High level. By this, a transistor Q1 will be in non-switch-on, a transistor Q2 will be in switch-on, and the charge charged according to the current source 121 at the joint N1 is drawn out. Consequently, the potential of a joint N1 falls. If the period which makes Signal RE High level is set to  $\Delta t$ , potential fall  $\Delta V$  of the joint N1 after  $\Delta t$  progress will become  $I\Delta t/(C_f + C_p1)$ .

[0009] Since Current I, period  $\Delta t$ , and parasitic capacitance  $C_p1$  are fixed respectively, potential fall  $\Delta V$  is determined by capacity  $C_f$ . Since the sense unit 101 is decided by distance of the electrode of a sensor, and the skin of a finger, the value of capacity  $C_f$  changes with irregularity of a fingerprint. The magnitude of fall potential  $\Delta V$  changes from this reflecting the irregularity of a fingerprint. Since this potential fall  $\Delta V$  is supplied to an output circuit 140 as an input signal, the size of  $\Delta V$  is identified in an output circuit 140, and the signal reflecting the irregularity of a fingerprint is outputted.

[0010]

[Problem(s) to be Solved by the Invention] However, in the case of the conventional sensor circuit for surface type-like recognition, if the parasitic capacitance  $C_p1$  of a joint N1 is large, potential fall  $\Delta V$

will become small. If the circuit actually shown in drawing 22 is realized using an LSI manufacturing technology, the bigger parasitic capacitance Cp1 than capacity Cf will be formed. It is also possible to enlarge potential fall deltaV by enlarging period deltat which makes High level Current I or Signal RE of a current source 121. However, since the control with manufacture dispersion of each sense unit 101 will become difficult if Current I is large, for raising detection precision, the rather smaller one of Current I is desirable. Moreover, period deltat can also seldom be enlarged from the relation of detection time.

[0011] Consequently, deltaV as a signal inputted into an output circuit 140 will decrease, an output will be changed by the noise margin, manufacture dispersion, etc., and surface type-like detection precision will fall. therefore, the parasitic capacitance Cp1 formed in a manufacture process as described above – the signal change reflecting the irregularity of a fingerprint decreased under the effect of a parasitic element [ like ], and there was a problem that the detection precision of the sensor circuit for surface type-like recognition will fall.

[0012] It is made in order that this invention may solve such a technical problem, and the purpose is in raising the detection precision of the sensor circuit for surface type-like recognition.

[0013]

[Means for Solving the Problem] Two or more detection means by which this invention is arranged two-dimensional and quantity of electricity changes with contact for recognition in order to attain the above-mentioned purpose. It has 1st signal generation means to generate the signal according to quantity of electricity of a detection means, and an output means to change and output the signal by the 1st signal generation means. In the sensor circuit for surface type-like recognition where the shape of surface type for recognition is recognized based on the output signal of an output means, it has a magnification means to be connected to the input side of an output means, and to amplify the level of the signal by the 1st signal generation means, and to output to an output means. Moreover, each of the 1st signal generation means and a magnification means is arranged near a detection means by which invention according to claim 2 corresponds in invention according to claim 1. Moreover, the output means is arranged near a magnification means by which invention according to claim 3 corresponds in invention according to claim 2. moreover, invention according to claim 4 -- claims 1-3 -- in invention any or given in 1 term, the 1st signal generation means is shared by two or more detection means to approach mutually. moreover, invention according to claim 5 -- claims 1-3 -- in invention any or given in 1 term, a magnification means is shared by two or more detection means to approach mutually. moreover, invention according to claim 6 -- claims 1-3 -- in invention any or given in 1 term, an output means is shared by two or more detection means to approach mutually. moreover, invention according to claim 7 -- claims 1-3 -- in invention any or given in 1 term, each of the 1st signal generation means, a magnification means, and an output means is prepared for every detection means. In invention any or given in 1 term moreover, invention according to claim 8 -- claims 1-7 -- a magnification means One input terminal and two output terminals The 1st component from which while has, an output terminal is connected to a detection means, the output terminal of another side is connected to an output means, and an input terminal will be connected to the source of a constant voltage, and between each output terminal will be in switch-on when the absolute value of the potential difference between an input terminal and one output terminal is larger than the absolute value of a threshold, So that it may connect with the output terminal of another side of this 1st component and the absolute value of the potential difference between the input terminal of the 1st component and one output terminal may turn into below the absolute value of a threshold at the time of a halt of the 1st signal generation means It has the 1st switching means which impresses an electrical potential difference to the output terminal of another side, and stops impression of an electrical potential difference at the time of actuation of the 1st signal generation means. moreover, invention according to claim 9 -- claims 1-7 -- in invention any or given in 1 term, it has a reference signal generating means to connect with the input side of a magnification means, and to generate a reference signal, and a magnification means includes a means to change amplification degree based on the size of the level of a signal, and the level of a reference signal by the

1st signal generation means. Moreover, it is a means by which invention according to claim 10 makes amplification degree small when the means included in a magnification means in invention according to claim 9 has the level of the signal by the 1st signal generation means smaller than the level of a reference signal, and it enlarges amplification degree when the level of the signal by the 1st signal generation means is larger than the level of a reference signal. Moreover, it is the signal of the same level as the signal with which invention according to claim 11 generates a reference signal from the 1st signal generation means in invention according to claim 9 or 10 corresponding to predetermined quantity of electricity of a detection means. Moreover, in invention according to claim 11, the reference signal generating means generated the reference signal corresponding to predetermined quantity of electricity of a criteria means with predetermined quantity of electricity, and a criteria means, and invention according to claim 12 is equipped with the 1st signal generation means and the 2nd signal generation means of the same configuration. Moreover, invention according to claim 13 is the component or semiconductor device in which the criteria means was formed using wiring in invention according to claim 12. Invention according to claim 14 is set to invention according to claim 12 or 13. Moreover, a magnification means The 1st and 2nd components from which it has one input terminal and two output terminals, and between each output terminal will be in switch-on when the absolute value of the potential difference of an input terminal and one output terminal is larger than the absolute value of a threshold, As for the 1st component, an input terminal is connected to the output terminal of another side of the 2nd component while one output terminal is connected to a detection means. The 2nd component An input terminal is connected to the output terminal of another side of the 1st component while one output terminal is connected to a criteria means. So that it may connect with the output terminal of another side of each 1st and 2nd components and the absolute value of the potential difference of the input terminal of each 1st and 2nd components and one output terminal may turn into below the absolute value of a threshold at the time of a halt of the 1st and 2nd signal generation means It has the 2nd switching means which impresses an electrical potential difference to the output terminal of each another side, and stops impression of an electrical potential difference at the time of actuation of the 1st and 2nd signal generation means, and the output means is connected at least to one side of the output terminal of another side of each 1st and 2nd components. Moreover, invention according to claim 15 is the output means of the differential form where the output means was connected to both output terminals of another side of each 1st and 2nd components, in invention according to claim 14. Moreover, in invention according to claim 14 or 15, invention according to claim 16 is equipped with the 3rd switching means which opens between the output terminals of each another side at the time of actuation of the 1st and 2nd signal generation means while it connects further between the output terminals of another side of each 1st and 2nd components and a magnification means short-circuits between the output terminals of each another side at the time of a halt of the 1st and 2nd signal generation means. moreover, invention according to claim 17 -- claims 9-16 -- in invention any or given in 1 term, the reference signal generating means is arranged near a magnification means to correspond. moreover, invention according to claim 18 -- claims 9-17 -- invention any or given in 1 term It is and a reference signal generating means is shared by two or more magnification means to approach mutually. moreover, invention according to claim 19 -- claims 9-17 -- in invention any or given in 1 term, the reference signal generating means is established for every magnification means. moreover, invention according to claim 20 -- claims 1-20 -- in invention any or given in 1 term, a detection means is capacity and the input side of a magnification means is connected at the joint of a detection means and the 1st signal generation means. moreover, invention according to claim 21 -- claims 1-20 -- in invention any or given in 1 term, a detection means is a variable resistive element from which resistance changes with contact for recognition, and series connection of the 1st signal generation means, detection means, and magnification means is carried out to this order. moreover, invention according to claim 22 -- claims 1-20 -- in invention any or given in 1 term, a detection means is a switching device which is formed by the micro machine technique, and opens and closes a circuit based on contact for

recognition, and series connection of the 1st signal generation means, detection means, and magnification means is carried out to this order.

[0014] After amplifying the level of the signal according to quantity of electricity of a detection means with a magnification means, attenuation of the input signal of an output means can be controlled by supplying an output means. Moreover, the size of the level of a signal according to quantity of electricity of a detection means can be puffed up by establishing a reference signal generating means and changing the amplification degree of a magnification means based on the size of the signal level of a signal and each reference signal according to quantity of electricity of a detection means.

[0015]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail using a drawing.

(Gestalt of the 1st operation) Drawing 1 is the perspective view showing the whole gestalt of operation of the 1st of the sensor circuit for surface type-like recognition by this invention. This sensor circuit for surface type-like recognition makes the sense unit 1 the configuration unit. On an LSI chip, each sense unit 1 is estranged mutually, is arranged in the shape of a grid, and forms the sensor array 2.

[0016] Drawing 2 is the block diagram showing the configuration of the sense unit 1 shown in drawing 1. That is, the sense unit 1 is constituted by the sensing element 10 from which quantity of electricity changes with contact for [, such as human being's finger 3,] recognition, the 1st signal generating circuit 20 which generates the signal according to quantity of electricity of this sensing element 10, the signal amplifying circuit 30 which amplifies and outputs the level of the signal by this signal generating circuit 20, and the output circuit 40 which changes and outputs the output signal of this signal amplifying circuit 30 to a desired signal. Drawing 2 shows the sensor circuit for surface type-like recognition using the sensing element 10 which consists of electrostatic capacity formed between the sensor electrodes of the sense unit 1 and the skins of a finger 3 which are mentioned later, the input side of the signal amplifying circuit 30 is connected in this case at the joint of a sensing element 10 and a signal generating circuit 20, and an output circuit 40 is connected to the output side of this signal amplifying circuit 30.

[0017] Drawing 3 is the sectional view showing the configuration of the sensing element 10 in drawing 2. That is, the lower layer insulator layer 12 is formed on the formed semi-conductor substrates 11, such as LSI, and wiring 13 is formed on this lower layer insulator layer 12. Furthermore, the interlayer insulation film 14 is formed on wiring 13 and the lower layer insulator layer 12, and the rectangular sensor electrode 16 is formed for example, for the flat-surface configuration on this interlayer insulation film 14. This sensor electrode 16 is connected to wiring 13 through the plug 15 in the through hole formed in the interlayer insulation film 14. And it is formed so that a passivation membrane 17 may cover the sensor electrode 16 on an interlayer insulation film 14. In addition, although not illustrated, the signal generating circuit 20 and the signal amplifying circuit 30 in drawing 2 are connected to wiring 13.

[0018] In such a configuration, if the finger 3 for fingerprint detection is pushed on the sensor array 2 and a passivation membrane 17 is contacted, on the sensor electrode 16, the skin of the finger 3 with which the passivation membrane 17 was touched will function as an electrode, and electrostatic capacity will be formed between the sensor electrodes 16. The fingerprint of a fingertip is formed of the irregularity of the skin. For this reason, when a finger 3 is contacted to a passivation membrane 17, the distance of the skin as an electrode and the sensor electrode 16 will differ by the crevice and heights which form the fingerprint. And the difference in this distance appears as a difference in capacity.

[0019] In each sense unit 1, the signal according to the capacity of a sensing element 10 is outputted from signal generation equipment 20. After level magnification is carried out in the signal amplifying circuit 30, this signal is changed into a desired signal in an output circuit 40, and is outputted from each sense unit 1. The signal outputted from each sense unit 1 is a signal reflecting the irregularity of a fingerprint. Therefore, a fingerprint pattern is detectable based on these signals.

[0020] The sensor circuit for surface type-like recognition shown in drawing 1 may be carried on the LSI

chip on which the recognition processing section which carries out comparison collating of the storage section in which the fingerprint data for collating were stored, and the fingerprint data currently prepared for the storage section and the fingerprint detected by the sensor circuit for surface type-like recognition was accumulated. Thus, with constituting on one LSI chip, the alteration of the information at the time of data transfer etc. can become difficult, and can raise the security-protection engine performance.

[0021] Next, it explains in more detail about the sense unit 1 shown in drawing 2 . Drawing 4 is the circuit diagram of this sense unit 1. In drawing 4 ,  $C_f$  is electrostatic capacity formed between the sensor electrode 16 in drawing 3 , and the skin of a finger 3. The sensor electrode 16 which forms capacity  $C_f$  is connected to the drain terminal of NchMOS transistor Q3a, and the source terminal of this transistor Q3a is connected to the input side of current source 21a of Current I. Moreover, the source terminal of NchMOS transistor (1st component) Q2a is connected to joint N1a of the sensor electrode 16 and transistor Q3a. The drain terminal of PchMOS transistor (1st switching means) Q1a by which supply voltage VDD was impressed to the source terminal, and the gate terminal of NchMOS transistor Q4a by which supply voltage VDD was impressed to the drain terminal, and the source terminal was connected to touch-down through Resistance Ra are connected to the drain terminal of this transistor Q2a. The inverter gate 41 is connected to the source terminal of this transistor Q4a.

[0022] each -- Signals PRE (bar) and RE are impressed to the gate terminal of transistor Q1a and Q3a, respectively. Moreover, bias voltage VG is impressed to the gate terminal of transistor Q2a from the source of a constant voltage. Here, if transistor Q2a sets to  $V_{th}$  the threshold electrical potential difference between the gate-sources which will be in non-switch-on, electrical potential differences VDD and VG will be set up so that it may become  $VDD > VG - V_{th}$ . Moreover, joint N1a and N2a have parasitic capacitance  $C_{p1a}$  and  $C_{p2a}$ , respectively.

[0023] A sensing element 10 is constituted by capacity  $C_f$ , a signal generating circuit 20 is constituted by current source 21a and transistor Q3a, the signal amplifying circuit 30 is constituted by transistor Q1a and Q2a, and an output circuit 40 is constituted by transistor Q4a, and Resistance Ra and the inverter gate 41. The sensor circuit for surface type-like recognition shown in drawing 4 is the point that transistor Q2a is added between joint N1a and N2a, and differs from the conventional sensor circuit for surface type-like recognition shown in drawing 22 .

[0024] potential change of the signal RE with which drawing 5 is a timing chart for explaining the actuation of the sense unit 1 shown in drawing 4 , drawing 5 (a) shows potential change of the signal PRE (bar) which controls transistor Q1a, and drawing 5 (b) controls transistor Q3a -- being shown -- drawing 5 (c) -- joint N1a and N2a -- each potential change is shown. At first, the signal PRE (bar) of High level (VDD) is given to the gate terminal of transistor Q1a, and the signal RE of Low level (GND) is given to the gate terminal of transistor Q3a. Therefore, neither transistor Q1a nor Q3a has flowed at this time.

[0025] If Signal PRE (bar) changes from High level to Low level in this condition, transistor Q1a will be in switch-on. At this time, transistor Q3a is still non-switch-on, and since a signal generating circuit 20 is in a idle state, the potential of joint N2a is precharged at VDD. Moreover, joint N1a is charged until the electrical potential difference between the gate-sources of transistor Q2a will reach the threshold electrical potential difference  $V_{th}$  and transistor Q2a will be in non-switch-on. Thereby, the potential of joint N1a is precharged at  $VG - V_{th}$ .

[0026] If Signal PRE (bar) changes to High level after precharge is completed, transistor Q1a will be in non-switch-on. If Signal RE changes to this and coincidence at High level, transistor Q3a will be in switch-on, and a signal generating circuit 20 will change to operating state. and the charge charged by joint N1a by current source 21a should lengthen, and blunder -- if the potential of joint N1a falls slightly, the electrical potential difference between the gate-sources of transistor Q2a will become larger than the threshold electrical potential difference  $V_{th}$ , and transistor Q2a will change to switch-on. The charge of joint N2a is also drawn out by this, and the potential fall of joint N2a begins.

[0027] by the way, parasitic capacitance Cp2a -- transistor Q1a and Q2a -- the parasitic capacitance of each drain terminal and the parasitic capacitance of the gate terminal of transistor Q4a are main. About this parasitic capacitance Cp2a, it can be made quite small according to an actual layout compared with the parasitic capacitance Cp1 in the conventional sensor circuit for surface type-like recognition shown in drawing 22. For this reason, if a potential fall begins by joint N2a as mentioned above, the potential of joint N2a will fall rapidly. And if the potential of joint N2a turns into the potential and this potential of joint N1a, the potential fall of the deutomerite point N2a will become loose.

[0028] If the period which makes Signal RE High level is set to deltat, potential fall deltaV of joint N1a after deltat progress will become  $VDD - (VG - Vth) + Ideltat / (Cf + Cp1a)$ . Here, parasitic capacitance Cp2a supposes that it is sufficiently small to parasitic capacitance Cp1a. Therefore, in the sensor circuit for surface type-like recognition shown in drawing 4, only  $VDD - (VG - Vth)$  can enlarge magnitude of potential fall deltaV compared with the conventional sensor circuit for surface type-like recognition. Thereby, even if parasitic capacitance Cp1 of joint N1a is large, potential fall deltaV becomes large.

[0029] In an output circuit 40, the current which flows between the source-drains of transistor Q4a changes according to potential fall deltaV as an input signal. This current change is changed into electrical-potential-difference change by Resistance Ra. The inverter gate 41 changes a signal into a digital signal with a predetermined logic threshold. That is, if the input voltage of the inverter gate 41 is smaller than a threshold, the signal meaning the crevice having contacted the sense unit 1 will be outputted from the inverter gate 41. On the contrary, if the input voltage of the inverter gate 41 is larger than a threshold, the signal meaning heights having contacted the sense unit 1 will be outputted.

[0030] The width of face to which potential fall deltaV of joint N2a can set the threshold of the inverter gate 41 if only  $VDD - (VG - Vth)$  becomes large spreads. Since a threshold can be set up by this so that the inverter gate 41 may not malfunction by the noise, the detection precision of the sensor circuit for surface type-like recognition can be raised.

[0031] Furthermore, in the sense unit 1 shown in drawing 4, the sense unit 1 is formed of the sensing element 10, the signal generating circuit 20, the signal amplifying circuit 30, and the output circuit 40. That is, since the signal generating circuit 20 and the signal amplifying circuit 30 are arranged near the corresponding sensing element 10, parasitic elements linked to a sensing element 10, such as parasitic capacitance Cp1a, become small. Moreover, since the output circuit 40 is arranged near the corresponding signal amplifying circuit 30, parasitic capacitance Cp2a between the signal amplifying circuit 30 and an output circuit 40 becomes small. Therefore, since the parasitic element which is formed in a manufacture process and contributes to signal attenuation can be controlled, the input signal (deltaV) of an output circuit 40 can be enlarged further.

[0032] In addition, other components may be used instead of the inverter gate 41 if needed. For example, when outputting the analog signal according to quantity of electricity of a sensing element 10 from an output circuit 40, an analog amplifying circuit is applied. Moreover, an A/D converter is used when changing the signal according to quantity of electricity of a sensing element 10 into a digital multiple value. Moreover, the amount of signals can also be made to correspond to a time-axis by sampling data by the latch circuit controlled by the clock signal. Moreover, it has the sensor electrode of the pair by which opposite arrangement was carried out through the insulator layer, and when an up electrode displaces up and down according to the irregularity of a fingerprint, the capacity Cf from which a value changes may be used as a sensing element 10.

[0033] Moreover, it can replace with the signal generating circuit 20 constituted using current source 21a, and the 1st signal generating circuit 22 constituted using capacity Cs as shown in drawing 6 can also be used. In this signal generating circuit 22, one fixed-end child of a switch SW1 is connected to a sensing element 10, the fixed-end child of another side is connected to touch-down, and the movable-end child is connected to capacity Cs. In the signal generating circuit 22, a switch SW1 connects capacity Cs to touch-down at the time of the flow of transistor Q1a in drawing 4, and the charge of capacity Cs is discharged in advance. And a switch SW1 can connect capacity Cs to a sensing element

10 at the time of un-flowing [ of transistor Q1a ], and the signal according to quantity of electricity of a sensing element 10 can be generated by making a fixed charge charge in capacity Cs.

[0034] (Gestalt of the 2nd operation) Drawing 7 is the block diagram showing the configuration of the 2nd of the sense unit 1 of the gestalt of operation of the sensor circuit for surface type-like recognition by this invention. In drawing 7 , the same part as drawing 2 is shown with the same sign, and omits the explanation suitably. The signal amplifying circuit 31 includes a means to change amplification degree based on the size of the level of a signal, and the level of a reference signal by the signal generating circuit 20, and the sense unit 1 shown in drawing 7 differs from the sense unit 1 shown in drawing 2 with this point while being equipped with the reference signal generating circuit 50 which generates a reference signal.

[0035] Drawing 8 is the circuit diagram of the sense unit 1 shown in drawing 7 . In drawing 8 , the same part as drawing 4 is shown with the same sign, and omits the explanation suitably. The sense unit 1 shown in drawing 8 adds the criteria component 51, the 2nd signal generating circuit 52, NchMOS transistor (2nd component) Q2b, and PchMOS transistor Q1b to the sense unit 1 shown in drawing 4 , and is formed in it. The criteria component 51 is a component which simulates a sensing element 10. Since a sensing element 10 is constituted by capacity Cf in the case of the sense unit 1 shown in drawing 8 , the criteria component 51 consists of capacity Cr.

[0036] Capacity Cr is used as a threshold which distinguishes whether the heights of a fingerprint touched the sense unit 1, or the crevice touched. The value of this capacity Cr is set as the value between the capacity Cf formed when the heights of a fingerprint touch, and the capacity Cf formed when a crevice touches. In addition, even if the value of capacity Cr is set as the value of the capacity Cf formed when the crevice of a fingerprint touches, it functions effectively as the above-mentioned threshold. Capacity Cr is formed of the component or semiconductor device formed using wiring. It can follow, for example, the capacity by which the insulator layer was inserted and formed between wiring like MIM (metal-insulator-metal) capacity and PIP (polysilicon-insulator-polysilicon) capacity, and MOS capacity can realize capacity Cr.

[0037] A signal generating circuit 52 generates the reference signal corresponding to capacity Cr, and is carrying out the same circuitry as a signal generating circuit 20. That is, the signal generating circuit 52 is constituted by current source 21b and NchMOS transistor Q3b, and these have the same property as current source 21a which constitutes a signal generating circuit 20, and NchMOS transistor Q3a, respectively. The reference signal generating circuit 50 is constituted by the above-mentioned criteria component 51 and the signal generating circuit 52. Therefore, the reference signal which this reference signal generating circuit 50 generates turns into a signal generated from a signal generating circuit 20, and a signal of the same level, when it has the capacity to which the sensing element 10 was set as the above-mentioned threshold.

[0038] The source terminal of NchMOS transistor Q2b is connected to joint N1b of the criteria component 51 and a signal generating circuit 52. The drain terminal of PchMOS transistor Q1b with which supply voltage VDD was impressed to the source terminal is connected to the drain terminal of this transistor Q2b. Although the gate terminal of transistor Q2a was connected to the source of a constant voltage in the sense unit 1 shown in drawing 4 , the gate terminal of transistor Q2a is connected to the drain terminal of transistor Q2b in the sense unit 1 shown in drawing 8 . Moreover, the gate terminal of transistor Q2b is connected to the drain terminal of transistor Q2a. In addition, transistor Q1b and Q2b have the respectively same property as transistor Q1a and Q2a.

[0039] each -- Signals PRE (bar) and RE are impressed to the gate terminal of transistor Q1b and Q3b, respectively. Moreover, joint N1b and N2b have parasitic capacitance Cp1b and Cp2b, respectively. The 2nd switching means is constituted by transistor Q1a and Q1b, and the signal amplifying circuit 31 is constituted by this 2nd switching means, and transistor Q2a and Q2b.

[0040] Drawing 9 is a timing chart for explaining the actuation of the sense unit 1 shown in drawing 8 , drawing 8 (a) shows potential change of the signal PRE (bar) which controls transistor Q1a and Q1b,

drawing 8 (b) shows potential change of the signal RE which controls transistor Q3a and Q3b, and drawing 8 (c) shows potential change of joint N2a. At first, the signal PRE (bar) of High level (VDD) is given to the gate terminal of transistor Q1a and Q1b, and the signal RE of Low level (GND) is given to the gate terminal of transistor Q3a and Q3b. Therefore, it has flowed through neither transistor Q1a nor Q1b nor Q3a nor Q3b at this time.

[0041] If Signal PRE (bar) changes from High level to Low level in this condition, transistor Q1a and Q1b will be in switch-on. At this time, transistor Q3a and Q3b are still non-switch-on, and since signal generating circuits 20 and 52 are in a idle state, the potential of joint N2a and N2b is precharged at VDD. Moreover, joint N1a and Q1b are charged until the electrical potential difference between the gate-sources of transistor Q2a and Q2b will reach the threshold electrical potential difference  $V_{th}$  and transistor Q2a and Q2b will be in non-switch-on. Since the electrical potential difference VDD is impressed to the gate terminal of transistor Q2a and Q2b at this time, the potential of joint N1a and N1b is precharged at  $VDD - V_{th}$ .

[0042] If Signal PRE (bar) changes to High level after precharge is completed, transistor Q1a and Q1b will be in non-switch-on. If Signal RE changes to this and coincidence at High level, transistor Q3a and Q3b will be in switch-on, and signal generating circuits 20 and 52 will change to operating state. and the charge charged by joint N1a and N1b according to current sources 21a and 21b should lengthen, and blunder -- if the potential of joint N1a and N1b falls slightly, the electrical potential difference between the gate-sources of transistor Q2a and Q2b will become larger than the threshold electrical potential difference  $V_{th}$ , and transistor Q2a and Q2b will change to switch-on. The charge of joint N2a and N2b is also drawn out by this, and the potential fall of joint N2a and N2b begins.

[0043] Here, in the case of the capacity  $C_f > C_r$ , the direction of the potential of joint N1b becomes lower than the potential of N1a. Since flow resistance of transistor Q2b becomes smaller than flow resistance of transistor Q2a by this, the potential of joint N2b falls earlier than joint N2a. Since the potential fall of this joint N2b is inputted into the gate terminal of NchMOS transistor Q2a, flow resistance of transistor Q2a becomes large. For this reason, potential fall  $\Delta V$  of joint N2a is stopped small.

[0044] On the other hand, since the potential of this joint N2a is inputted into the gate terminal of NchMOS transistor Q2b, change of flow resistance of transistor Q2b is small. Consequently, since the potential of joint N2b falls further, flow resistance of transistor Q2a becomes still larger. Thus, by carrying out cross connection of transistor Q2a and the Q2b, these actuation is puffed up and potential fall  $\Delta V$  of N2a is small stopped as a result.

[0045] On the contrary, as for the case of the capacity  $C_f < C_r$ , potential change of each joint N2a and N2b becomes opposite. That is, the potential of joint N2b seldom changes from the precharged original potential VDD. For this reason, the potential of joint N2a falls greatly like the case of the sense unit 1 shown in drawing 4. Therefore, the amplification degree of the signal amplifying circuit 31 can be changed bordering on this value by setting up, as the value of capacity  $C_r$  was mentioned above. Since a signal with large level ( $\Delta V$ ) is inputted into an output circuit 40 by this when the heights of a fingerprint touch, and a signal with small level ( $\Delta V$ ) is inputted when the crevice of a fingerprint touches, an output circuit 40 can judge the irregularity of a fingerprint clearly.

[0046] Furthermore, since the sense unit 1 shown in drawing 8 can offset the potential fall by a charge being drawn out by the leakage current of joint N2a by potential change by the leakage current of joint N2b, it also has the effectiveness of preventing malfunction by leakage current. In addition, in the sense unit 1 shown in drawing 8, although the output circuit 40 is connected to joint N2a, this output circuit 40 may be connected to joint N2b. In this case, the polarity of the output of an output circuit 40 is only reversed, and the same effectiveness as the case where the output circuit 40 is connected to joint N2a is acquired.

[0047] (Gestalt of the 3rd operation) Drawing 10 is the circuit diagram of the sense unit 1 of the gestalt of operation of the 3rd of the sensor circuit for surface type-like recognition by this invention. In

drawing 10 , the same part as drawing 8 is shown with the same sign, and omits the explanation suitably. The sense unit 1 shown in drawing 10 is a point using the output circuit 42 where joint N2a and potential fall deltaV in N2b are inputted instead of an output circuit 40 as a complementary signal, and differs from the sense unit 1 shown in drawing 8 .

[0048] An output circuit 42 is realizable by using the voltage amplification circuit of a differential form. The output circuit 42 in drawing 10 is constituted by NchMOS transistor Q4b and Resistance Rb which have the same property as NchMOS transistor Q4a, and Resistance Ra and these, and the PchMOS transistors Q4 and Q5 and the NchMOS transistors Q7 and Q8 which constitute a current mirror form amplifying circuit. The actuation of the sense unit 1 shown in drawing 10 is the same as the sense unit 1 fundamentally shown in drawing 8 . However, the noise margin to a source effect etc. can be enlarged by inputting a complementary signal into an output circuit 42.

[0049] (Gestalt of the 4th operation) Drawing 11 is the circuit diagram of the sense unit 1 of the gestalt of operation of the 4th of the sensor circuit for surface type-like recognition by this invention. In drawing 11 , the same part as drawing 8 is shown with the same sign, and omits the explanation suitably. The sense unit 1 shown in drawing 11 is replaced with the signal amplifying circuit 31, is a point using the signal amplifying circuit 32 equipped with the 3rd switching means connected between each joint N2a and N2b, and differs from the sense unit 1 shown in drawing 8 . A source terminal and a drain terminal are connected between each joint N2a and N2b, and the 3rd switching means is constituted by the PchMOS transistor Q9 with which Signal PRE (bar) is impressed to a gate terminal.

[0050] If dispersion in a property is in transistor Q1a and Q1b in the case of the sense unit 1 shown in drawing 8 , in case joint N2a and N2b will be precharged to the power-source potential VDD, the potential difference may occur between joint N2a and N2b. If neither joint N2a nor N2b is precharged at this potential, the fall of potential rate of joint N2a and each N2b will change.

[0051] The actuation of the sense unit 1 shown in drawing 11 is the same as the sense unit 1 fundamentally shown in drawing 8 . However, in the case of the sense unit 1 shown in drawing 11 , joint N2a and N2b can be precharged to this potential by short-circuiting between joint N2a and N2b with a transistor Q9 at the time of a halt of signal generating circuits 20 and 52. Moreover, at the time of signal detection, i.e., actuation of signal generating circuits 20 and 52, a transistor Q9 opens between joint N2a and N2b. Thereby, since change of the fall of potential rate of joint N2a and each N2b can be suppressed, the fall of surface type-like detection precision can be prevented.

[0052] In addition, in the sense unit 1 shown in drawing 11 , although the output circuit 40 is connected to joint N2a, this output circuit 40 may be connected to joint N2b. In this case, the polarity of the output of an output circuit 40 is only reversed, and the same effectiveness as the case where the output circuit 40 is connected to joint N2a is acquired.

[0053] (Gestalt of the 5th operation) Drawing 12 is the circuit diagram of the sense unit 1 of the gestalt of operation of the 5th of the sensor circuit for surface type-like recognition by this invention. In drawing 12 , the same part as drawing 10  $R > 0$  and drawing 11 is shown with the same sign, and omits the explanation suitably. To the sense unit 1 shown in drawing 10 , the sense unit 1 shown in drawing 12 is replaced with the signal amplifying circuit 31, and the signal amplifying circuit 32 in drawing 11 is used for it.

[0054] In case the sense unit 1 shown in drawing 12 precharges joint N2a and N2b to the power-source potential VDD, it can abolish the potential difference between transistor Q1a and each joint N2a by dispersion in the property of Q1b, and N2b. For this reason, compared with the sense unit 1 shown in drawing 10 , the fall of the detection precision by that offset voltage arises to the complementary input of a differential form amplifying circuit according to this potential difference or the fall of potential rate of joint N2a and each N2b changing can be prevented.

[0055] (Gestalt of the 6th operation) Drawing 13 is the circuit diagram of the sense unit 1 of the gestalt of operation of the 6th of the sensor circuit for surface type-like recognition by this invention. In drawing 13 , the same part as drawing 4 is shown with the same sign, and omits the explanation suitably.

The sense unit 1 shown in drawing 13 is constituted using transistor Q1c, Q2c, Q3c, and Q4c with a different polarity from transistor Q1 a-Q4a in drawing 4 . In drawing 13 , a NchMOS transistor and Q2 c-Q4c of Q1c are PchMOS transistors. Moreover, the signals PRE and RE (bar) which the polarity of Signals PRE (bar) and RE reversed are impressed to transistor Q1c and Q3c, respectively. Moreover, supply voltage VDD is impressed to the input side of current source 21a, and the source terminal of transistor Q1c is connected to touch-down. N1c and N2c are parasitic capacitance.

[0056] Drawing 14 is a timing chart for explaining the actuation of the sense unit 1 shown in drawing 13 . The effectiveness as the sense unit 1 shown in drawing 4 by the polarity of a signal being reversed and the direction of change of a signal (deltaV) only having reverse sense that actuation of this sense unit 1 is the same as the sense unit 1 shown in drawing 4 , and it is the same is acquired. In addition, potential rise deltaV of joint N2c after deltat progress becomes  $VG+Vth+Ideltat/(Cf+Cp1c)$ . In addition, the same effectiveness can be acquired using the transistor which has transistor Q1 b-Q4b and a different polarity from Q9 similarly also about the sense unit 1 shown in each of drawing 8 , drawing 10 R>0 – drawing 12 .

[0057] (Gestalt of the 7th operation) Drawing 15 is the block diagram showing the configuration of the 7th of the gestalt of operation of the sensor circuit for surface type-like recognition by this invention. In drawing 15 , the same part as drawing 2 is shown with the same sign, and omits the explanation suitably. In the sensor circuit for surface type-like recognition shown in drawing 2 , a signal generating circuit 20, the signal amplifying circuit 30, and an output circuit 40 are formed every sensing element 10, these are made into 1 set of sense units 1, two-dimensional array of two or more sense units 1 is carried out, and the sensor array 2 is formed. In this case, since detection actuation can be processed to juxtaposition, detection processing is accelerable.

[0058] On the other hand, at least one of a signal generating circuit 20, the signal amplifying circuit 30, and output circuits 40 can also be shared by two or more sensing elements 10. In sharing a signal generating circuit 20, as shown in drawing 15 (a), it connects one signal generating circuit 20 to two or more sensing elements 10 alternatively with a switch SW2. Moreover, in sharing the signal amplifying circuit 30, as shown in drawing 15 (b), it connects one signal amplifying circuit 30 alternatively with switches SW3 and SW4 between two or more signal generating circuits 20 and an output circuit 40. At this time, each switches SW3 and SW4 interlock and operate. Moreover, in sharing an output circuit 40, as shown in drawing 15 (c), it connects one output circuit 40 to two or more signal amplifying circuits 30 alternatively with a switch SW5.

[0059] Thus, reduction of a circuit scale or operating power can be aimed at by sharing at least one of a signal generating circuit 20, the signal amplifying circuit 30, and output circuits 40 by two or more sensing elements 10. In addition, if a signal generating circuit 20, the signal amplifying circuit 30, and an output circuit 40 are shared by two or more sensing elements 10 by which contiguity arrangement was carried out, the effect by the parasitic element formed in process of manufacture is small. Moreover, the sense unit 1 shown in each of drawing 8 , drawing 10 – drawing 12 can also share at least one of a signal generating circuit 20, the signal amplifying circuits 31 and 32, and output circuits 40 and 42 by two or more sensing elements 10.

[0060] (Gestalt of the 8th operation) Drawing 16 is the block diagram showing the configuration of the 8th of the gestalt of operation of the sensor circuit for surface type-like recognition by this invention. In drawing 16 , the same part as drawing 7 is shown with the same sign, and omits the explanation suitably. The reference signal generating circuit 50 in drawing 7 can also be shared by two or more signal amplifying circuits 31. In this case, as shown in drawing 16 , one signal amplifying circuit 31 is alternatively connected to two or more signal amplifying circuits 31 with switches SW6 and SW7. Thereby, reduction of a circuit scale or operating power can be aimed at. Moreover, the sense unit 1 shown in each of drawing 10 – drawing 12 can also share the reference signal generating circuit 50 in two or more signal amplifying circuits 31 and 32.

[0061] (Gestalt of the 9th operation) Drawing 17 is the block diagram showing the configuration of the

9th of the sense unit 1 of the gestalt of operation of the sensor circuit for surface type-like recognition by this invention. In drawing 17, the same part as drawing 4 is shown with the same sign, and omits the explanation suitably. Although the sensing element 10 which consists of electrostatic capacity Cf formed between the sensor electrode 16 and the skin of a finger 3 was used, it can replace with this and the sense unit 1 can consist of sense units 1 shown in drawing 4 using the sensing element 18 which consists of a variable resistive element VR with elasticity.

[0062] In this case, as shown in drawing 17 (a), series connection of the 1st signal generating circuit 22, sensing element 18, signal amplifying circuit 30, and output circuit 40 is carried out to this order, and the sense unit 1 is constituted. Here, a signal generating circuit 22 is the signal generating circuit 22 constituted by the capacity Cs in drawing 6. Moreover, the signal amplifying circuit 30 is the signal amplifying circuit 30 of the charge transfer form in drawing 4. A variable resistive element VR is a component from which resistance changes according to deformation when candidates for recognition, such as a finger 3, contact. According to the resistance value change of this variable resistive element VR, the rate at which the precharged charge is drawn out by capacity Cs changes. By regarding this change as a voltage signal, the irregularity of a fingerprint is detectable. Other actuation is the same as that of the sense unit 1 fundamentally shown in drawing 4.

[0063] In addition, as shown in drawing 17 (b), it may replace with a signal generating circuit 22, and the 1st signal generating circuit 23 constituted by the voltage source 24 and the switch SW8 may be used. The switch SW8 is connected between the variable resistive element VR and the voltage source 24. However, the electrical potential difference V of a voltage source 24 is set as the any value from forward to negative so that a current may flow in the direction of a signal generating circuit 23 from the signal amplifying circuit 30.

[0064] Drawing 18 is the block diagram showing other configurations of the sense unit 1 shown in drawing 17. As shown in drawing 18 (a), the switching device SW formed using a micro machine technique as a sensing element 19 can also be used. In this case, series connection of a signal generating circuit 23, a sensing element 19, the signal amplifying circuit 30, and the output circuit 40 is carried out to this order, and the sense unit 1 is constituted.

[0065] A switching device SW opens and closes a circuit based on contact for [, such as a finger 3,] recognition. That is, if a switching device SW is pushed by the heights of a fingerprint, since between a signal generating circuit 23 and the signal amplifying circuits 30 will be connected, the precharged charge is drawn out by the voltage source 24. Thereby, the potential of the input side of an output circuit 40 falls. On the contrary, even if a switching device SW is pushed by the crevice of a fingerprint, since it is wide opened between a signal generating circuit 23 and the signal amplifying circuit 30, the potential of the input side of an output circuit 40 does not fall. Based on this potential fall, the irregularity of a fingerprint is detectable. Other actuation is the same as that of the sense unit 1 fundamentally shown in drawing 4. moreover, the signal generating circuit 22 containing the signal generating circuit 20 which replaces with a signal generating circuit 23 and contains current source 21a as shown in drawing 18 (b) and (c), or capacity Cs -- also using -- it is good.

[0066] In addition, the sensing elements 18 and 19 in drawing 17 and drawing 18 are also applicable to the sense unit 1 shown in each of drawing 8, drawing 10 – drawing 13 with the corresponding signal generating circuits 20, 22, and 23. However, in the case of the sense unit 1 shown in drawing 13  $R > 3$ , it is necessary to set up signal generating circuits 20, 22, and 23 so that a current may flow in the direction of the signal amplifying circuit 30 from signal generating circuits 20, 22, and 23.

[0067] (Gestalt of the 10th operation) Drawing 19 is the circuit diagram showing other examples of implementation of the signal amplifying circuit 30 in drawing 2. The signal amplifying circuit 30 is realizable using the inversed amplifier 33 which amplifies a voltage signal, as shown in drawing 19 (a). G is voltage amplification. Moreover, the signal amplifying circuit 30 is also realizable using current Miller circuit 34 which amplifies a current signal, as shown in drawing 19 (b). n is current amplification.

Although drawing 19 (b) showed current Miller circuit 34 which carries out current amplification using

gate width W of the PchMOS transistors Q10 and Q11, it does not limit to this. Moreover, the signal amplifying circuit 31 of the differential mold in drawing 7 is also realizable using current Miller circuit. In addition, the sensor circuit for surface type-like recognition by this invention is applied to recognition of the shape of surface type which has detailed irregularity, such as a muzzle pattern of not only human being's fingerprint but an animal.

[0068]

[Effect of the Invention] As explained above, after amplifying the level of the signal according to quantity of electricity of a detection means with a magnification means in this invention, attenuation of the input signal of an output means can be controlled by supplying an output means. Thereby, since the effect of the noise margin, manufacture dispersion, etc. can be controlled, surface type-like detection precision can be raised. Therefore, if the sensor circuit for surface type-like recognition by this invention is applied to the fingerprint sensor using an LSI manufacturing technology, since the minute signal change reflecting the irregularity of a fingerprint is detectable, there is effectiveness which can carry out [ highly precise ]-izing of the recognition of the concavo-convex pattern of a fingerprint. In order to high-resolution-ize the concavo-convex pattern of a fingerprint especially, it is effectiveness size when it miniaturizes the detection means which carried out two-dimensional array.

[0069] Moreover, in invention according to claim 2, parasitic elements, such as parasitic capacitance connected to a sensing element, can be made small by carrying out contiguity arrangement of a detection means, the 1st signal generation means, and the magnification means mutually. That is, since formation of the parasitic element which contributes to signal attenuation can be controlled, surface type-like detection precision can be raised. Moreover, in invention according to claim 3, an effect of the invention according to claim 2 can be heightened by carrying out contiguity arrangement of the output means further at a magnification means.

[0070] Moreover, in invention according to claim 4 to 6, reduction of a circuit scale and operating power can be aimed at by sharing the 1st signal generation means, magnification means, or output means with two or more detection means, respectively. Moreover, in invention according to claim 7, since detection actuation can be processed to juxtaposition by establishing the 1st signal generation means, magnification means, and output means for every detection means, detection processing is accelerable. Moreover, in invention according to claim 8, even if the parasitic capacitance connected to the detection means by connecting the 1st component between a detection means and an output means, and using the threshold electrical potential difference of this 1st component is large, level of the signal according to quantity of electricity of a detection means can be enlarged. Thereby, the same effectiveness as invention according to claim 1 is acquired.

[0071] Moreover, in invention according to claim 9, a reference signal generating means is established and the amplification degree of a magnification means is changed based on the size of the signal level of a signal and each reference signal according to quantity of electricity of a detection means. For example, like invention according to claim 10, when the former is smaller than the latter, amplification degree is made small, and when the former is larger than the latter, amplification degree is enlarged. Thereby, the size of the level of a signal according to quantity of electricity of a detection means can be puffed up. For example, by the fingerprint sensor, the minute signal reflecting the irregularity of a fingerprint becomes a candidate for detection. However, according to this invention, since distinction of a surface type-like crevice and heights becomes clear, surface type-like detection precision can be raised.

[0072] Moreover, invention according to claim 9 is realizable by carrying out cross connection of the 1st and 2nd components, and constituting a magnification means from invention according to claim 14. Moreover, since the signal change by leakage current can be offset, there is also an advantage that malfunction by leakage current can be prevented. Moreover, in invention according to claim 15, the noise margin to a source effect etc. can be enlarged by using the output means of a differential form. Moreover, in invention according to claim 16, the fall of the detection precision of the shape of surface type based on dispersion in the property of the component which constitutes the 2nd switching means

can be controlled by using the 3rd switching means which \*\*\*\* between the output terminals of another side of each 1st and 2nd components.

[0073] Moreover, in invention according to claim 17, since parasitic elements, such as parasitic capacitance, can be made small by carrying out contiguity arrangement of the reference signal generating means at a magnification means, surface type-like detection precision can be raised.

Moreover, in invention according to claim 18, reduction of a circuit scale and operating power can be aimed at by sharing a reference signal generating means with two or more magnification means.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the perspective view showing the whole gestalt of operation of the 1st of the sensor circuit for surface type-like recognition by this invention.

[Drawing 2] It is the block diagram showing the configuration of a sense unit shown in drawing 1 .

[Drawing 3] It is the sectional view showing the configuration of the sensing element shown in drawing 2 .

[Drawing 4] It is the circuit diagram of a sense unit shown in drawing 2 .

[Drawing 5] It is a timing chart for explaining the actuation of a sense unit shown in drawing 4 .

[Drawing 6] It is the circuit diagram showing other configurations of a sense unit shown in drawing 2 .

[Drawing 7] It is the block diagram showing the configuration of the 2nd of the sense unit of the gestalt of operation of the sensor circuit for surface type-like recognition by this invention.

[Drawing 8] It is the circuit diagram of a sense unit shown in drawing 7 .

[Drawing 9] It is a timing chart for explaining the actuation of a sense unit shown in drawing 8 .

[Drawing 10] It is the circuit diagram of the sense unit of the gestalt of operation of the 3rd of the sensor circuit for surface type-like recognition by this invention.

[Drawing 11] It is the circuit diagram of the sense unit of the gestalt of operation of the 4th of the sensor circuit for surface type-like recognition by this invention.

[Drawing 12] It is the circuit diagram of the sense unit of the gestalt of operation of the 5th of the sensor circuit for surface type-like recognition by this invention.

[Drawing 13] It is the circuit diagram of the sense unit of the gestalt of operation of the 6th of the sensor circuit for surface type-like recognition by this invention.

[Drawing 14] It is a timing chart for explaining the actuation of a sense unit shown in drawing 13 .

[Drawing 15] It is the block diagram showing the configuration of the 7th of the gestalt of operation of the sensor circuit for surface type-like recognition by this invention.

[Drawing 16] It is the block diagram showing the configuration of the 8th of the gestalt of operation of the sensor circuit for surface type-like recognition by this invention.

[Drawing 17] It is the block diagram showing the configuration of the 9th of the sense unit of the gestalt

of operation of the sensor circuit for surface type-like recognition by this invention.

[Drawing 18] It is the block diagram showing other configurations of a sense unit shown in drawing 17 .

[Drawing 19] It is the circuit diagram showing other examples of implementation of the signal amplifying circuit in drawing 2 .

[Drawing 20] It is the block diagram showing the configuration of one unit of the conventional sensor circuit for surface type-like recognition.

[Drawing 21] It is the plot plan of the sensor circuit for surface type-like recognition shown in drawing 20 .

[Drawing 22] It is the circuit diagram of the sensor circuit for surface type-like recognition shown in drawing 20 .

[Drawing 23] It is a timing chart for explaining actuation of the sensor circuit for surface type-like recognition shown in drawing 22 .

[Description of Notations]

1 [ -- Sensing element, ] -- A sense unit, 2 -- A sensor array, 3 -- A finger, 10, 18, 19 11 [ -- Plug, ] -- 12 A semi-conductor substrate, 14 -- An insulator layer, 13 -- Wiring, 15 16 -- A sensor electrode, 17 -- A passivation membrane, 20, 22, 23, 52 -- Signal generating circuit, 21a [ -- Voltage amplifier, ] -- A current source, 24 -- A voltage source, 30-32 -- A signal amplifying circuit, 33 34 -- 40 Current Miller circuit, 42 -- An output circuit, 41 -- Inverter gate, 50 -- A reference signal generating circuit, 51 -- A criteria component, Cf, Cr and Cs, -- capacity, Cp1a, Cp2a, Cp1b, Cp2b, Cp1c, Cp2c -- Parasitic capacitance, N1a, N2a, N1b, N2b, N1c, N2c -- A joint, PRE, RE -- Signal, Ra, Rb [ -- A switch, VDD VG / -- An electrical potential difference, VR / -- A variable resistive element, Vth / -- A threshold electrical potential difference, deltat / -- A period, deltaV / -- Potential fall. ] -- Resistance, Q1 a-Q4a, Q1 b-Q4b, Q1 c-Q4c, Q5-Q11 -- An MOS transistor, SW -- A switching device, SW1-SW9

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-28311

(P2000-28311A)

(43)公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.<sup>7</sup>

G 0 1 B 7/28  
G 0 6 T 1/00

識別記号

F I

テマコート (参考)

G 0 1 B 7/28  
G 0 6 F 15/64

A 2 F 0 6 3  
G 5 B 0 4 7

審査請求 有 請求項の数22 OL (全 20 頁)

(21)出願番号 特願平10-193455

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(22)出願日 平成10年7月8日 (1998.7.8)

(72)発明者 森村 浩季

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 重松 智志

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74)代理人 100064621

弁理士 山川 政樹

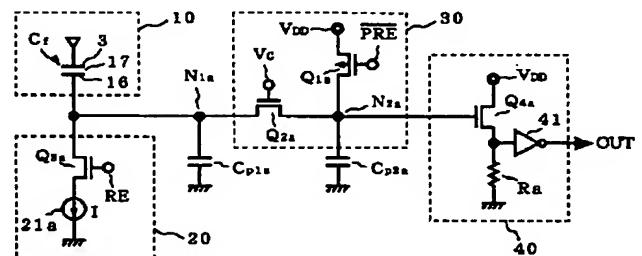
最終頁に続く

(54)【発明の名称】 表面形状認識用センサ回路

(57)【要約】

【課題】 表面形状認識用センサ回路の検出精度を向上させる。

【解決手段】 第1の信号発生手段20による信号のレベルを増幅して出力手段40に出力する増幅手段30を備える。



(2)

## 【特許請求の範囲】

【請求項 1】 二次元的に配置されかつ認識対象の接触により電気量が変化する複数の検出手段と、前記検出手段の電気量に応じた信号を発生する第 1 の信号発生手段と、前記第 1 の信号発生手段による信号を変換して出力する出力手段とを備え、前記出力手段の出力信号に基づき前記認識対象の表面形状が認識される表面形状認識用センサ回路において、前記出力手段の入力側に接続されかつ前記第 1 の信号発生手段による信号のレベルを増幅して前記出力手段に出力する増幅手段を備えたことを特徴とする表面形状認識用センサ回路。

【請求項 2】 請求項 1において、前記第 1 の信号発生手段及び前記増幅手段のそれぞれは、対応する前記検出手段の近傍に配置されていることを特徴とする表面形状認識用センサ回路。

【請求項 3】 請求項 2において、前記出力手段は、対応する前記増幅手段の近傍に配置されていることを特徴とする表面形状認識用センサ回路。

【請求項 4】 請求項 1～3 何れか 1 項において、前記第 1 の信号発生手段は、互いに近接する前記複数の検出手段により共用されることを特徴とする表面形状認識用センサ回路。

【請求項 5】 請求項 1～3 何れか 1 項において、前記増幅手段は、互いに近接する前記複数の検出手段により共用されることを特徴とする表面形状認識用センサ回路。

【請求項 6】 請求項 1～3 何れか 1 項において、前記出力手段は、互いに近接する前記複数の検出手段により共用されることを特徴とする表面形状認識用センサ回路。

【請求項 7】 請求項 1～3 何れか 1 項において、前記第 1 の信号発生手段、前記増幅手段及び前記出力手段のそれぞれは、前記検出手段毎に設けられていることを特徴とする表面形状認識用センサ回路。

【請求項 8】 請求項 1～7 何れか 1 項において、前記増幅手段は、1 個の入力端子と 2 個の出力端子とを有し前記一方の出力端子が前記検出手段に接続され前記他方の出力端子が前記出力手段に接続され前記入力端子が定電圧源に接続されかつ前記入力端子及び前記一方の出力端子間の電位差の絶対値が前記しきい値の絶対値より大きい場合に前記各出力端子間が導通状態となる第 1 の素子と、この第 1 の素子の前記他方の出力端子に接続されかつ前記第 1 の信号発生手段の停止時に前記第 1 の素子の前記入力端子及び前記一方の出力端子間の電位差の絶対値が前記しきい値の絶対値以下になるように前記他方の出力端子に電圧を印加して前記第 1 の信号発生手段の動作時に前記電圧の印加を停止する第 1 のスイッチ手段とを備

えたことを特徴とする表面形状認識用センサ回路。

【請求項 9】 請求項 1～7 何れか 1 項において、前記増幅手段の入力側に接続されかつ基準信号を発生する基準信号発生手段を備え、前記増幅手段は、前記第 1 の信号発生手段による信号のレベルと前記基準信号のレベルの大小に基づき増幅度を変化させる手段を含むことを特徴とする表面形状認識用センサ回路。

【請求項 10】 請求項 9において、10 前記増幅手段に含まれる前記手段は、前記第 1 の信号発生手段による信号のレベルが前記基準信号のレベルよりも小さい場合に前記増幅度を小さくし前記第 1 の信号発生手段による信号のレベルが前記基準信号のレベルよりも大きい場合に前記増幅度を大きくする手段であることを特徴とする表面形状認識用センサ回路。

【請求項 11】 請求項 9 又は 10において、前記基準信号は、前記検出手段の所定電気量に対応して前記第 1 の信号発生手段より発生する信号と同じレベルの信号であることを特徴とする表面形状認識用センサ回路。

【請求項 12】 請求項 11において、20 前記基準信号発生手段は、前記所定電気量をもつ基準手段と、前記基準手段の前記所定電気量に対応した前記基準信号を発生しかつ前記第 1 の信号発生手段と同じ構成の第 2 の信号発生手段とを備えたことを特徴とする表面形状認識用センサ回路。

【請求項 13】 請求項 12において、30 前記基準手段は、配線を用いて形成された素子又は半導体素子であることを特徴とする表面形状認識用センサ回路。

【請求項 14】 請求項 12 又は 13において、前記増幅手段は、1 個の入力端子と 2 個の出力端子とを有し前記入力端子及び前記一方の出力端子の電位差の絶対値がしきい値の絶対値より大きい場合に前記各出力端子間が導通状態となる第 1 及び第 2 の素子と、

前記第 1 の素子は、前記一方の出力端子が前記検出手段に接続されるとともに前記入力端子が前記第 2 の素子の前記他方の出力端子に接続され、

前記第 2 の素子は、前記一方の出力端子が前記基準手段に接続されるとともに前記入力端子が前記第 1 の素子の前記他方の出力端子に接続され、

前記第 1 及び第 2 の素子それぞれの前記他方の出力端子に接続されかつ前記第 1 及び第 2 の信号発生手段の停止時に前記第 1 及び第 2 の素子それぞれの前記入力端子及び前記一方の出力端子の電位差の絶対値が前記しきい値の絶対値以下になるように前記各他方の出力端子に電圧を印加して前記第 1 及び第 2 の信号発生手段の動作時に前記電圧の印加を停止する第 2 のスイッチ手段とを備

(3)

3

え、

前記第1及び第2の素子それぞれの前記他方の出力端子の少なくとも一方に前記出力手段が接続されていることを特徴とする表面形状認識用センサ回路。

【請求項15】 請求項14において、

前記出力手段は、前記第1及び第2の素子それぞれの前記他方の出力端子の両方に接続された差動形の出力手段であることを特徴とする表面形状認識用センサ回路。

【請求項16】 請求項14又は15において、

前記増幅手段は、さらに、前記第1及び第2の素子それぞれの前記他方の出力端子間に接続されかつ前記第1及び第2の信号発生手段の停止時に前記各他方の出力端子間を短絡するとともに前記第1及び第2の信号発生手段の動作時に前記各他方の出力端子間を開放する第3のスイッチ手段を備えたことを特徴とする表面形状認識用センサ回路。

【請求項17】 請求項9～16何れか1項において、前記基準信号発生手段は、対応する前記増幅手段の近傍に配置されていることを特徴とする表面形状認識用センサ回路。

【請求項18】 請求項9～17何れか1項において、前記基準信号発生手段は、互いに近接する前記複数の増幅手段により共用されることを特徴とする表面形状認識用センサ回路。

【請求項19】 請求項9～17何れか1項において、前記基準信号発生手段は、前記増幅手段毎に設けられていることを特徴とする表面形状認識用センサ回路。

【請求項20】 請求項1～20何れか1項において、前記検出手段は、容量であり、前記増幅手段の入力側が前記検出手段及び前記第1の信号発生手段の節点に接続されていることを特徴とする表面形状認識用センサ回路。

【請求項21】 請求項1～20何れか1項において、前記検出手段は、認識対象の接触により抵抗値が変化する可変抵抗素子であり、前記第1の信号発生手段、前記検出手段及び前記増幅手段がこの順に直列接続されていることを特徴とする表面形状認識用センサ回路。

【請求項22】 請求項1～20何れか1項において、前記検出手段は、マイクロマシン技術により形成されかつ認識対象の接触に基づき回路を開閉するスイッチ素子であり、

前記第1の信号発生手段、前記検出手段及び前記増幅手段がこの順に直列接続されていることを特徴とする表面形状認識用センサ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、人間の指紋や動物の鼻紋等の微細な凹凸を有する表面形状を認識する表面形状認識用センサ回路に関する。

4

【0002】

【従来の技術】表面形状を認識するセンサとして、特に指紋検出をターゲットとしたものが報告されている。また、指紋のパターンを検出する技術として、LSI製造技術を用いた容量検出形のセンサが提案されている。これは例えば、'ISSCC DIGEST OF TECHNICAL PAPERS' FEBRUARY 1998 p.p. 284～285に記載されている。容量検出形のセンサは、LSIチップ上に2次元に配列された小さなセンスユニットの電極と絶縁膜を介して触れた指の皮膚との間に形成される静電容量を検出して、指紋の凹凸パターンを感知するものである。指紋の凹凸により形成される容量の値が異なるため、この容量差を検出することで指紋の凹凸を感知することができる。

【0003】図20は、この原理を用いた従来の表面形状認識用センサ回路の基本構成を示すブロック図である。すなわち、従来の表面形状認識用センサ回路は、電極と絶縁膜を介して触れた指の皮膚との間に形成される静電容量からなる検出素子110と、検出素子110の静電容量の値に応じた電圧信号を発生する信号発生回路120と、信号発生回路120による電圧信号を変換して出力する出力回路140とにより構成されている。

【0004】図21は、従来の表面形状認識用センサ回路の配置図である。この表面形状認識用センサ回路は、上記検出素子110、信号発生回路120及び出力回路140をそれぞれ複数個づつ有している。このうち、検出素子110及び信号発生回路120各1個づつで一組のセンスユニット101が構成され、各センスユニット101はLSIチップ上に2次元配列されてセンサアレイ102を形成している。また、各出力回路140はセンサアレイ102の周辺に配置されて、出力部104を形成している。

【0005】検出素子110の静電容量の値はセンスユニット101の電極と指の皮膚との距離によって決まるため、指紋の凹凸によって検出素子110の静電容量の値は異なる。したがって、指をセンサアレイ102上に押下すると、各センスユニット101から指紋の凹凸に応じた電圧信号が outputされる。この電圧信号は出力部104で指紋の凹凸を反映した所望の信号に変換され、指紋パターンが検出される。

【0006】引き続き、図20に示した表面形状認識用センサ回路の構成及び動作について更に詳しく説明する。図22は、この表面形状認識用センサ回路の回路図である。図22において、Cfはセンスユニット101の電極と絶縁膜を介して触れた指の皮膚との間に形成される静電容量である。センスユニット101の電極は、NchMOSトランジスタQ3を介して、電流Iの電流源121の入力側に接続されている。また、電極とトランジスタQ3との節点N1には、出力回路140の入力側が接続されている。また、節点N1にはPchMOSトランジ

(4)

5

ンジスタQ1を介して、電源電圧VDDが印加される。この節点N1は寄生容量Cp1を有している。さらに、トランジスタQ1, Q3のゲート端子にはそれぞれ信号PRE(バー), REが印加される。容量Cfにより検出素子110が構成され、電流源121とトランジスタQ3とにより信号発生回路120が構成される。

【0007】図23は、図22に示した表面形状認識用センサ回路の動作を説明するためのタイミングチャートである。最初、トランジスタQ1のゲート端子にはHighレベル(VDD)の信号PRE(バー)が与えられ、トランジスタQ3のゲート端子にはLowレベル(GND)の信号REが与えられている。したがって、このときトランジスタQ1, Q3はともに導通していない。この状態で信号PRE(バー)がHighレベルからLowレベルに変化すると、トランジスタQ1が導通状態になる。このときトランジスタQ3は非導通状態のままであるから、節点N1の電位がVDDにプリチャージされる。

【0008】プリチャージが終了した後、信号PRE(バー)がHighレベルに変化すると同時に信号REがHighレベルに変化する。これによりトランジスタQ1が非導通状態に、トランジスタQ2が導通状態になり、電流源121により節点N1に充電された電荷が引き抜かれる。この結果、節点N1の電位が低下する。信号REをHighレベルにする期間を $\Delta t$ とすると、 $\Delta t$ 経過後の節点N1の電位低下 $\Delta V$ は $I \Delta t / (C_f + C_p1)$ になる。

【0009】電流I、期間 $\Delta t$ 及び寄生容量Cp1はそれぞれ一定であるから、電位低下 $\Delta V$ は容量Cfによって決定される。センスユニット101はセンサの電極と指の皮膚との距離によって決まるので、指紋の凹凸によって容量Cfの値は異なる。このことから、指紋の凹凸を反映して低下電位 $\Delta V$ の大きさが変化する。この電位低下 $\Delta V$ が入力信号として出力回路140に供給されるので、出力回路1で $\Delta V$ の大小が識別され、指紋の凹凸を反映した信号が出力される。

【0010】

【発明が解決しようとする課題】しかしながら、従来の表面形状認識用センサ回路の場合、節点N1の寄生容量Cp1が大きいと電位低下 $\Delta V$ が小さくなってしまう。実際に図22に示した回路をLSI製造技術を用いて実現すると、容量Cfよりも大きな寄生容量Cp1が形成されてしまう。電流源121の電流I又は信号REをHighレベルにする期間 $\Delta t$ を大きくすることで、電位低下 $\Delta V$ を大きくすることも可能である。しかし、電流Iが大きいと製造ばらつきをもつ各センスユニット101の制御が困難となるので、検出精度を高めるには電流Iはむしろ小さいほうが望ましい。また、検出時間の関係から期間 $\Delta t$ もあまり大きくすることはできない。

【0011】この結果、出力回路140に入力される信

6

号としての $\Delta V$ が減少し、ノイズマージンや製造ばらつき等により出力結果が変動して、表面形状の検出精度が低下してしまう。したがって、上記したように、製造過程で形成される寄生容量Cp1のような寄生素子の影響により、指紋の凹凸を反映した信号変化が減少し、表面形状認識用センサ回路の検出精度が低下してしまうという問題があった。

【0012】本発明はこのような課題を解決するためになされたものであり、その目的は、表面形状認識用センサ回路の検出精度を向上させることにある。

【0013】

【課題を解決するための手段】上記目的を達成するためには、本発明は、二次元的に配置されかつ認識対象の接触により電気量が変化する複数の検出手段と、検出手段の電気量に応じた信号を発生する第1の信号発生手段と、第1の信号発生手段による信号を変換して出力する出力手段とを備え、出力手段の出力信号に基づき認識対象の表面形状が認識される表面形状認識用センサ回路において、出力手段の入力側に接続されかつ第1の信号発生手段による信号のレベルを増幅して出力手段に出力する増幅手段を備えている。また、請求項2記載の発明は、請求項1記載の発明において、第1の信号発生手段及び増幅手段のそれぞれは、対応する検出手段の近傍に配置されている。また、請求項3記載の発明は、請求項2記載の発明において、出力手段は、対応する増幅手段の近傍に配置されている。また、請求項4記載の発明は、請求項1～3何れか1項記載の発明において、第1の信号発生手段は、互いに近接する複数の検出手段により共用される。また、請求項5記載の発明は、請求項1～3何れか1項記載の発明において、増幅手段は、互いに近接する複数の検出手段により共用される。また、請求項6記載の発明は、請求項1～3何れか1項記載の発明において、出力手段は、互いに近接する複数の検出手段により共用される。また、請求項7記載の発明は、請求項1～3何れか1項記載の発明において、第1の信号発生手段、増幅手段及び出力手段のそれぞれは、検出手段毎に設けられている。また、請求項8記載の発明は、請求項1～7何れか1項記載の発明において、増幅手段は、1個の入力端子と2個の出力端子とを有し一方の出力端子が検出手段に接続され他方の出力端子が出力手段に接続され入力端子が定電圧源に接続されかつ入力端子及び一方の出力端子間の電位差の絶対値がしきい値の絶対値より大きい場合に各出力端子間が導通状態となる第1の素子と、この第1の素子の他方の出力端子に接続されかつ第1の信号発生手段の停止時に第1の素子の入力端子及び一方の出力端子間の電位差の絶対値がしきい値の絶対値以下になるように他方の出力端子に電圧を印加して第1の信号発生手段の動作時に電圧の印加を停止する第1のスイッチ手段とを備えている。また、請求項9記載の発明は、請求項1～7何れか1項記載の発明において、

(5)

7

增幅手段の入力側に接続されかつ基準信号を発生する基準信号発生手段を備え、增幅手段は、第1の信号発生手段による信号のレベルと基準信号のレベルの大小に基づき増幅度を変化させる手段を含む。また、請求項10記載の発明は、請求項9記載の発明において、增幅手段に含まれる手段は、第1の信号発生手段による信号のレベルが基準信号のレベルよりも小さい場合に増幅度を小さくし第1の信号発生手段による信号のレベルが基準信号のレベルよりも大きい場合に増幅度を大きくする手段である。また、請求項11記載の発明は、請求項9又は10記載の発明において、基準信号は、検出手段の所定電気量に対応して第1の信号発生手段より発生する信号と同じレベルの信号である。また、請求項12記載の発明は、請求項11記載の発明において、基準信号発生手段は、所定電気量をもつ基準手段と、基準手段の所定電気量に対応した基準信号を発生しかつ第1の信号発生手段と同じ構成の第2の信号発生手段とを備えている。また、請求項13記載の発明は、請求項12記載の発明において、基準手段は、配線を用いて形成された素子又は半導体素子である。また、請求項14記載の発明は、請求項12又は13記載の発明において、増幅度は、1個の入力端子と2個の出力端子とを有しかつ入力端子及び一方の出力端子の電位差の絶対値がしきい値の絶対値より大きい場合に各出力端子間が導通状態となる第1及び第2の素子と、第1の素子は、一方の出力端子が検出手段に接続されるとともに入力端子が第2の素子の他方の出力端子に接続され、第2の素子は、一方の出力端子が基準手段に接続されるとともに入力端子が第1の素子の他方の出力端子に接続され、第1及び第2の素子それぞれの他方の出力端子に接続されかつ第1及び第2の信号発生手段の停止時に第1及び第2の素子それぞれの入力端子及び一方の出力端子の電位差の絶対値がしきい値の絶対値以下になるように各他方の出力端子に電圧を印加して第1及び第2の信号発生手段の動作時に電圧の印加を停止する第2のスイッチ手段とを備え、第1及び第2の素子それぞれの他方の出力端子の少なくとも一方に出力手段が接続されている。また、請求項15記載の発明は、請求項14記載の発明において、出力手段は、第1及び第2の素子それぞれの他方の出力端子の両方に接続された差動形の出力手段である。また、請求項16記載の発明は、請求項14又は15記載の発明において、増幅度は、さらに、第1及び第2の素子それぞれの他方の出力端子間に接続されかつ第1及び第2の信号発生手段の停止時に各他方の出力端子間を短絡するとともに第1及び第2の信号発生手段の動作時に各他方の出力端子間を開放する第3のスイッチ手段を備えている。また、請求項17記載の発明は、請求項9～16何れか1項記載の発明において、基準信号発生手段は、対応する増幅度の近傍に配置されている。また、請求項18記載の発明は、請求項9～17何れか1項記載の発明にお

8

いて、基準信号発生手段は、互いに近接する複数の増幅度により共用される。また、請求項19記載の発明は、請求項9～17何れか1項記載の発明において、基準信号発生手段は、増幅度毎に設けられている。また、請求項20記載の発明は、請求項1～20何れか1項記載の発明において、検出手手段は、容量であり、増幅度の入力側が検出手手段及び第1の信号発生手段の節点に接続されている。また、請求項21記載の発明は、請求項1～20何れか1項記載の発明において、検出手手段は、認識対象の接触により抵抗値が変化する可変抵抗素子であり、第1の信号発生手段、検出手手段及び増幅度がこの順に直列接続されている。また、請求項22記載の発明は、請求項1～20何れか1項記載の発明において、検出手手段は、マイクロマシン技術により形成されかつ認識対象の接触に基づき回路を開閉するスイッチ素子であり、第1の信号発生手段、検出手手段及び増幅度がこの順に直列接続されている。

【0014】検出手手段の電気量に応じた信号のレベルを増幅度で増幅度してから出力手段に供給することにより、出力手段の入力信号の減衰を抑制することができる。また、基準信号発生手段を設け、検出手手段の電気量に応じた信号と基準信号それぞれの信号レベルの大小に基づき、増幅度の増幅度を変化させることにより、検出手手段の電気量に応じた信号のレベルの大小を増長させることができる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて詳細に説明する。

(第1の実施の形態) 図1は、本発明による表面形状認識用センサ回路の第1の実施の形態の全体を示す斜視図である。この表面形状認識用センサ回路はセンスユニット1を構成単位としている。各センスユニット1はLSIチップ上に互いに離間して格子状に配置され、センサアレイ2を形成している。

【0016】図2は、図1に示したセンスユニット1の構成を示すブロック図である。すなわちセンスユニット1は、人間の指3などの認識対象の接触により電気量が変化する検出素子10と、この検出素子10の電気量に応じた信号を発生する第1の信号発生回路20と、この信号発生回路20による信号のレベルを増幅度して出力する信号増幅度回路30と、この信号増幅度回路30の出力信号を所望の信号に変換して出力する出力回路40とによって構成されている。図2は、後述するセンスユニット1のセンサ電極と指3の皮膚との間に形成される静電容量からなる検出素子10を用いた表面形状認識用センサ回路を示しており、この場合、検出素子10と信号発生回路20との節点に信号増幅度回路30の入力側が接続され、この信号増幅度回路30の出力側に出力回路40が接続される。

【0017】図3は、図2における検出素子10の構成

(6)

9

を示す断面図である。すなわち、LSI等の形成された半導体基板11上に下層絶縁膜12が形成され、この下層絶縁膜12上に配線13が形成されている。さらに配線13及び下層絶縁膜12上に層間絶縁膜14が形成されており、この層間絶縁膜14上に例えば平面形状が矩形のセンサ電極16が形成されている。このセンサ電極16は、層間絶縁膜14に形成されたスルーホール内のプラグ15を介して、配線13に接続されている。そして、層間絶縁膜14上にパシベーション膜17がセンサ電極16を覆うように形成されている。なお、図示しないが、配線13には図2における信号発生回路20及び信号增幅回路30が接続されている。

【0018】このような構成において、指紋検出対象の指3がセンサアレイ2に押下されてパシベーション膜17に接触すると、センサ電極16上ではパシベーション膜17に触れた指3の皮膚が電極として機能して、センサ電極16との間に静電容量が形成される。指先の指紋は、皮膚の凹凸により形成されている。このため、指3をパシベーション膜17に接触させた場合、電極としての皮膚とセンサ電極16との距離は、指紋を形成している凹部と凸部とで異なることになる。そして、この距離の違いは、容量の違いとしてあらわれる。

【0019】各センスユニット1では、検出素子10の容量に応じた信号が信号発生装置20から出力される。この信号は、信号增幅回路30でレベル増幅された後、出力回路40で所望の信号に変換されて、各センスユニット1から出力される。各センスユニット1から出力された信号は指紋の凹凸を反映した信号である。したがって、これらの信号を基に指紋パターンを検出することができる。

【0020】図1に示した表面形状認識用センサ回路は、照合のための指紋データが格納された記憶部と、記憶部に用意されている指紋データと表面形状認識用センサ回路によって検出された指紋とを比較照合する認識処理部とが集積されたLSIチップ上に搭載されてもよい。このように、1つのLSIチップ上に構成することで、データ転送時における情報の改竄などが困難になり、機密保持性能を向上させることができる。

【0021】次に、図2に示したセンスユニット1について更に詳しく説明する。図4は、このセンスユニット1の回路図である。図4において、Cfは図3におけるセンサ電極16と指3の皮膚との間に形成される静電容量である。容量Cfを形成するセンサ電極16はNchMOSトランジスタQ3aのドレン端子に接続されており、このトランジスタQ3aのソース端子は電流Iの電流源21aの入力側に接続されている。また、センサ電極16とトランジスタQ3aとの節点N1aには、NchMOSトランジスタ(第1の素子)Q2aのソース端子が接続されている。このトランジスタQ2aのドレン端子には、ソース端子に電源電圧VDDが印加されたPch

50

MOSトランジスタ(第1のスイッチ手段)Q1aのドレン端子と、ドレン端子に電源電圧VDDが印加されソース端子が抵抗Raを介して接地に接続されたNchMOSトランジスタQ4aのゲート端子とが接続されている。このトランジスタQ4aのソース端子にインバータゲート41が接続されている。

【0022】各トランジスタQ1a、Q3aのゲート端子にはそれぞれ信号PRE(バー)、REが印加される。また、トランジスタQ2aのゲート端子には定電圧源からバイアス電圧VGが印加される。ここで、トランジスタQ2aが非導通状態になるゲート-ソース間のしきい値電圧をVthとすると、 $VDD > VG - Vth$ となるように電圧VDD、VGが設定される。また、節点N1a、N2aはそれぞれ寄生容量Cp1a、Cp2aを有している。

【0023】容量Cfにより検出素子10が構成され、電流源21aとトランジスタQ3aとにより信号発生回路20が構成され、トランジスタQ1a、Q2aにより信号增幅回路30が構成され、トランジスタQ4aと抵抗Raとインバータゲート41とにより出力回路40が構成される。図4に示した表面形状認識用センサ回路は、節点N1a、N2a間にトランジスタQ2aが付加されている点で、図22に示した従来の表面形状認識用センサ回路と異なる。

【0024】図5は、図4に示したセンスユニット1の動作を説明するためのタイミングチャートであり、図5(a)はトランジスタQ1aを制御する信号PRE(バー)の電位変化を示し、図5(b)はトランジスタQ3aを制御する信号REの電位変化を示し、図5(c)は節点N1a、N2aそれぞれの電位変化を示している。最初、トランジスタQ1aのゲート端子にはHighレベル(VDD)の信号PRE(バー)が与えられ、トランジスタQ3aのゲート端子にはLowレベル(GND)の信号REが与えられている。したがって、このときトランジスタQ1a、Q3aはともに導通していない。

【0025】この状態で信号PRE(バー)がHighレベルからLowレベルに変化すると、トランジスタQ1aが導通状態になる。このときトランジスタQ3aは非導通状態のままであり、信号発生回路20は停止状態にあるから、節点N2aの電位がVDDにプリチャージされる。また、トランジスタQ2aのゲート-ソース間電圧がしきい値電圧Vthに達してトランジスタQ2aが非導通状態になるまで、節点N1aが充電される。これにより、節点N1aの電位がVG-Vthにプリチャージされる。

【0026】プリチャージが終了した後、信号PRE(バー)がHighレベルに変化すると、トランジスタQ1aが非導通状態になる。これと同時に信号REがHighレベルに変化すると、トランジスタQ3aが導通状態になり、信号発生回路20が動作状態に変化する。

(7)

11

そして、電流源21aにより節点N1aに充電された電荷が引き抜かれ、節点N1aの電位がわずかに低下すると、トランジスタQ2aのゲート-ソース間電圧がしきい値電圧Vthより大きくなり、トランジスタQ2aが導通状態に変化する。これにより節点N2aの電荷も引き抜かれ、節点N2aの電位低下が開始する。

【0027】ところで、寄生容量Cp2aはトランジスタQ1a, Q2aそれぞれのドレイン端子の寄生容量とトランジスタQ4aのゲート端子の寄生容量とが主である。この寄生容量Cp2aについては、実際のレイアウトにより、図22に示した従来の表面形状認識用センサ回路における寄生容量Cp1に比べてかなり小さくすることができる。このため、上述したように節点N2aで電位低下が開始すると、節点N2aの電位は急激に低下する。そして、節点N2aの電位が節点N1aの電位と同電位になると、その後節点N2aの電位低下は緩やかになる。

【0028】信号REをHighレベルにする期間を $\Delta t$ とすると、 $\Delta t$ 経過後の節点N1aの電位低下 $\Delta V$ は $VDD - (VG - Vth) + I \Delta t / (Cf + Cp1a)$ になる。ここで、寄生容量Cp2aは寄生容量Cp1aに対して十分小さいとしている。したがって、図4に示した表面形状認識用センサ回路では、従来の表面形状認識用センサ回路に比べて電位低下 $\Delta V$ の大きさを $VDD - (VG - Vth)$ だけ大きくすることができる。これにより、節点N1aの寄生容量Cp1aが大きくて、電位低下 $\Delta V$ が大きくなる。

【0029】出力回路40では、入力信号としての電位低下 $\Delta V$ に応じて、トランジスタQ4aのソース-ドレイン間に流れる電流が変化する。この電流変化は抵抗Raにより電圧変化に変換される。インバータゲート41は、所定の論理しきい値により信号をデジタル信号に変換するものである。すなわち、インバータゲート41の入力電圧がしきい値よりも小さければ、センスユニット1に凹部が接触したことを意味する信号がインバータゲート41から出力される。逆に、インバータゲート41の入力電圧がしきい値よりも大きければ、センスユニット1に凸部が接触したことを意味する信号が出力される。

【0030】節点N2aの電位低下 $\Delta V$ が $VDD - (VG - Vth)$ だけ大きくなれば、インバータゲート41のしきい値を設定できる幅が広がる。これにより、インバータゲート41がノイズにより誤動作しないようにしきい値を設定することができるので、表面形状認識用センサ回路の検出精度を向上させることができる。

【0031】さらに、図4に示したセンスユニット1では、検出素子10と信号発生回路20と信号增幅回路30と出力回路40によってセンスユニット1が形成されている。すなわち、信号発生回路20と信号增幅回路30とが、対応する検出素子10の近傍に配置されている

(7)

12

ので、検出素子10に接続する寄生容量Cp1a等の寄生素子が小さくなる。また、出力回路40が、対応する信号增幅回路30の近傍に配置されているので、信号增幅回路30, 出力回路40間の寄生容量Cp2aが小さくなる。したがって、製造過程で形成され信号減衰に寄与する寄生素子を抑制することができるので、出力回路40の入力信号( $\Delta V$ )を更に大きくすることができる。

【0032】なお、必要に応じてインバータゲート41の代わりに他の素子を使用してもよい。例えば、出力回路40から検出素子10の電気量に応じたアナログ信号を出力する場合には、アナログ增幅回路が適用される。また、検出素子10の電気量に応じた信号をデジタル多値に変換する場合には、A/D変換器が用いられる。また、クロック信号により制御されるラッチ回路等によってデータをサンプリングすることで、信号量を時間軸に対応させることもできる。また、絶縁膜を介して対向配置された一対のセンサ電極を有し、指紋の凹凸に応じて上部電極が上下に変位することにより値が変化する容量Cfを検出素子10として用いてもよい。

【0033】また、電流源21aを用いて構成された信号発生回路20に代えて、図6に示すように容量Csを用いて構成された第1の信号発生回路22を使用することもできる。この信号発生回路22では、スイッチSW1の一方の固定端子が検出素子10に接続され、他方の固定端子が接地に接続され、可動端子が容量Csに接続されている。信号発生回路22では、図4におけるトランジスタQ1aの導通時にスイッチSW1が容量Csを接地に接続して、事前に容量Csの電荷を放電しておく。そして、トランジスタQ1aの非導通時にスイッチSW1が容量Csを検出素子10に接続して、一定の電荷を容量Csに充電させることで、検出素子10の電気量に応じた信号を発生させることができる。

【0034】(第2の実施の形態)図7は、本発明による表面形状認識用センサ回路の第2の実施の形態のセンスユニット1の構成を示すブロック図である。図7において、図2と同一部分は同一符号をもって示し、その説明を適宜省略する。図7に示したセンスユニット1は、基準信号を発生する基準信号発生回路50を備えるとともに、信号增幅回路31が信号発生回路20による信号のレベルと基準信号のレベルの大小に基づき増幅度を変化させる手段を含んでおり、この点で図2に示したセンスユニット1と異なる。

【0035】図8は、図7に示したセンスユニット1の回路図である。図8において、図4と同一部分は同一符号をもって示し、その説明を適宜省略する。図8に示したセンスユニット1は、図4に示したセンスユニット1に、基準素子51と、第2の信号発生回路52と、NchMOSトランジスタ(第2の素子)Q2bと、PchMOSトランジスタQ1bとを付加して形成される。基準素

(8)

13

子51は検出素子10を模擬する素子である。図8に示したセンスユニット1の場合、検出素子10が容量Cfにより構成されるので、基準素子51は容量Crで構成される。

【0036】容量Crは、センスユニット1に指紋の凸部が触れたか凹部が触れたかを区別するしきい値として利用される。この容量Crの値は、指紋の凸部が触れたときに形成される容量Cfと、凹部が触れたときに形成される容量Cfとの間の値に設定される。なお、指紋の凹部が触れたときに形成される容量Cfの値に容量Crの値が設定されても、上記しきい値として有効に機能する。容量Crは配線を用いて形成される素子又は半導体素子により形成される。したがって例えば、MIM(metal-insulator-metal)容量及びPIP(polysilicon-insulator-polysilicon)容量などのように配線間に絶縁膜が挿入されて形成された容量や、MOS容量により容量Crを実現することができる。

【0037】信号発生回路52は容量Crに対応した基準信号を発生するものであり、信号発生回路20と同じ回路構成をしている。すなわち、信号発生回路52は電流源21bとNchMOSトランジスタQ3bとによって構成されており、これらはそれぞれ信号発生回路20を構成する電流源21a、NchMOSトランジスタQ3aと同じ特性を有している。基準信号発生回路50は上記基準素子51と信号発生回路52とによって構成されている。よって、この基準信号発生回路50が発生する基準信号は、検出素子10が上記しきい値として設定された容量を有している場合に信号発生回路20より発生する信号と同じレベルの信号となる。

【0038】基準素子51と信号発生回路52との節点N1bには、NchMOSトランジスタQ2bのソース端子が接続されている。このトランジスタQ2bのドレイン端子には、ソース端子に電源電圧VDDが印加されたPchMOSトランジスタQ1bのドレイン端子が接続されている。図4に示したセンスユニット1では、トランジスタQ2aのゲート端子は定電圧源に接続されていたが、図8に示したセンスユニット1ではトランジスタQ2aのゲート端子はトランジスタQ2bのドレイン端子に接続されている。また、トランジスタQ2bのゲート端子はトランジスタQ2aのドレイン端子に接続されている。なお、トランジスタQ1b、Q2bはそれぞれトランジスタQ1a、Q2aと同じ特性を有している。

【0039】各トランジスタQ1b、Q3bのゲート端子にはそれぞれ信号PRE(バー)、REが印加される。また、節点N1b、N2bはそれぞれ寄生容量Cpb、Cp2bを有している。トランジスタQ1a、Q1bにより第2のスイッチ手段が構成され、この第2のスイッチ手段とトランジスタQ2a、Q2bにより信号增幅回路31が構成される。

【0040】図9は、図8に示したセンスユニット1の

14

動作を説明するためのタイミングチャートであり、図8(a)はトランジスタQ1a、Q1bを制御する信号PRE(バー)の電位変化を示し、図8(b)はトランジスタQ3a、Q3bを制御する信号REの電位変化を示し、図8(c)は節点N2aの電位変化を示している。最初、トランジスタQ1a、Q1bのゲート端子にはHighレベル(VDD)の信号PRE(バー)が与えられ、トランジスタQ3a、Q3bのゲート端子にはLowレベル(GND)の信号REが与えられている。したがって、このときトランジスタQ1a、Q1b、Q3a、Q3bのいずれも導通していない。

【0041】この状態で信号PRE(バー)がHighレベルからLowレベルに変化すると、トランジスタQ1a、Q1bが導通状態になる。このときトランジスタQ3a、Q3bは非導通状態のままであり、信号発生回路20、52は停止状態にあるから、節点N2a、N2bの電位がVDDにプリチャージされる。また、トランジスタQ2a、Q2bのゲート-ソース間電圧がしきい値電圧Vthに達してトランジスタQ2a、Q2bが非導通状態になるまで、節点N1a、Q1bが充電される。このときトランジスタQ2a、Q2bのゲート端子には電圧VDDが印加されているので、節点N1a、N1bの電位がVDD-Vthにプリチャージされる。

【0042】プリチャージが終了した後、信号PRE(バー)がHighレベルに変化すると、トランジスタQ1a、Q1bが非導通状態になる。これと同時に信号REがHighレベルに変化すると、トランジスタQ3a、Q3bが導通状態になり、信号発生回路20、52が動作状態に変化する。そして、電流源21a、21bにより節点N1a、N1bに充電された電荷が引き抜かれ、節点N1a、N1bの電位がわずかに低下すると、トランジスタQ2a、Q2bのゲート-ソース間電圧がしきい値電圧Vthより大きくなり、トランジスタQ2a、Q2bが導通状態に変化する。これにより節点N2a、N2bの電荷も引き抜かれ、節点N2a、N2bの電位低下が開始する。

【0043】ここで、容量Cf>容量Crの場合、節点N1bの電位の方がN1aの電位よりも低くなる。これにより、トランジスタQ2bの導通抵抗がトランジスタQ2aの導通抵抗よりも小さくなるので、節点N2bの電位が節点N2aよりも早く低下する。この節点N2bの電位低下はNchMOSトランジスタQ2aのゲート端子に入力されるので、トランジスタQ2aの導通抵抗が大きくなる。このため、節点N2aの電位低下△Vが小さく抑えられる。

【0044】一方、この節点N2aの電位はNchMOSトランジスタQ2bのゲート端子に入力されるので、トランジスタQ2bの導通抵抗の変化は小さい。この結果、節点N2bの電位は更に低下するので、トランジスタQ2aの導通抵抗が更に大きくなる。このように、ト

(9)

15

ランジスタQ 2 a, Q 2 bが交差接続されていることにより、これらの動作は増長され、結果としてN 2 aの電位低下 $\Delta V$ は小さく抑えられる。

【0045】逆に、容量C f < 容量C r の場合は、各節点N 2 a, N 2 bの電位変化が反対になる。すなわち、節点N 2 bの電位はプリチャージされた当初の電位VDDからあまり変化しない。このため、節点N 2 aの電位は、図4に示したセンスユニット1の場合と同様に、大きく低下する。したがって、容量C r の値を上述したことにより、この値を境にして信号增幅回路3 1の増幅度を変化させることができる。これにより、指紋の凸部が触れたときにはレベルの大きい信号( $\Delta V$ )が出力回路4 0に入力され、指紋の凹部が触れたときにはレベルの小さい信号( $\Delta V$ )が入力されるので、出力回路4 0が指紋の凹凸を明確に判定することができる。

【0046】さらに、図8に示したセンスユニット1は、節点N 2 aのリーク電流によって電荷が引き抜かれることによる電位低下を、節点N 2 bのリーク電流による電位変化によって相殺することができるので、リーク電流による誤動作を防ぐという効果も有している。なお、図8に示したセンスユニット1では、出力回路4 0が節点N 2 aに接続されているが、この出力回路4 0は節点N 2 bに接続されてもよい。この場合、出力回路4 0の出力の極性が反転するだけであり、出力回路4 0が節点N 2 aに接続されている場合と同じ効果が得られる。

【0047】(第3の実施の形態) 図1 0は、本発明による表面形状認識用センサ回路の第3の実施の形態のセンスユニット1の回路図である。図1 0において、図8と同一部分は同一符号をもって示し、その説明を適宜省略する。図1 0に示したセンスユニット1は、出力回路4 0の代わりに、節点N 2 a, N 2 bにおける電位低下 $\Delta V$ が相補信号として入力される出力回路4 2を用いる点で、図8に示したセンスユニット1と異なる。

【0048】出力回路4 2は差動形の電圧增幅回路を用いることで実現できる。図1 0における出力回路4 2は、NchMOSトランジスタQ 4 a及び抵抗R aと、これらと同じ特性を有するNchMOSトランジスタQ 4 b及び抵抗R bと、カレントミラー形増幅回路を構成するPchMOSトランジスタQ 4, Q 5及びNchMOSトランジスタQ 7, Q 8とによって構成されている。図1 0に示したセンスユニット1の動作は、基本的に図8に示したセンスユニット1と同じである。しかし、出力回路4 2に相補信号を入力することにより、電源変動等に対するノイズマージンを大きくすることができる。

【0049】(第4の実施の形態) 図1 1は、本発明による表面形状認識用センサ回路の第4の実施の形態のセンスユニット1の回路図である。図1 1において、図8と同一部分は同一符号をもって示し、その説明を適宜省

(9)

16

略する。図1 1に示したセンスユニット1は、信号増幅回路3 1に代えて、各節点N 2 a, N 2 b間に接続された第3のスイッチ手段を備えた信号増幅回路3 2を用いる点で、図8に示したセンスユニット1と異なる。第3のスイッチ手段は、ソース端子及びドレン端子が各節点N 2 a, N 2 b間に接続され、ゲート端子に信号P R E(バー)が印加されるPchMOSトランジスタQ 9によって構成される。

【0050】図8に示したセンスユニット1の場合、トランジスタQ 1 a, Q 1 bに特性のばらつきがあると、節点N 2 a, N 2 bを電源電位VDDにプリチャージする際に、節点N 2 a, N 2 b間に電位差が発生する可能性がある。節点N 2 a, N 2 bがともに同電位にプリチャージされていないと、節点N 2 a, N 2 bそれぞれの電位降下速度が変化してしまう。

【0051】図1 1に示したセンスユニット1の動作は、基本的に図8に示したセンスユニット1と同じである。しかし、図1 1に示したセンスユニット1の場合、信号発生回路2 0, 5 2の停止時に、トランジスタQ 9で節点N 2 a, N 2 b間を短絡することにより、節点N 2 a, N 2 bを同電位にプリチャージすることができる。また、信号検出時すなわち信号発生回路2 0, 5 2の動作時には、トランジスタQ 9は節点N 2 a, N 2 b間を開放する。これにより、節点N 2 a, N 2 bそれぞれの電位降下速度の変化を抑えることができるので、表面形状の検出精度の低下を防止することができる。

【0052】なお、図1 1に示したセンスユニット1では、出力回路4 0が節点N 2 aに接続されているが、この出力回路4 0は節点N 2 bに接続されてもよい。この場合、出力回路4 0の出力の極性が反転するだけであり、出力回路4 0が節点N 2 aに接続されている場合と同じ効果が得られる。

【0053】(第5の実施の形態) 図1 2は、本発明による表面形状認識用センサ回路の第5の実施の形態のセンスユニット1の回路図である。図1 2において、図1 0及び図1 1と同一部分は同一符号をもって示し、その説明を適宜省略する。図1 2に示したセンスユニット1は、図1 0に示したセンスユニット1に対して、信号増幅回路3 1に代えて、図1 1における信号増幅回路3 2を用いたものである。

【0054】図1 2に示したセンスユニット1は、節点N 2 a, N 2 bを電源電位VDDにプリチャージする際に、トランジスタQ 1 a及びQ 1 bの特性のばらつきによる各節点N 2 a, N 2 b間の電位差を無くすことができる。このため、図1 0に示したセンスユニット1に比べて、この電位差によって差動形増幅回路の相補入力にオフセット電圧が生じてしまうことや、節点N 2 a, N 2 bそれぞれの電位降下速度が変化してしまうことによる検出精度の低下を防止することができる。

【0055】(第6の実施の形態) 図1 3は、本発明に

(10)

17

よる表面形状認識用センサ回路の第6の実施の形態のセンスユニット1の回路図である。図13において、図4と同一部分は同一符号をもって示し、その説明を適宜省略する。図13に示したセンスユニット1は、図4におけるトランジスタQ1a～Q4aと異なる極性をもつトランジスタQ1c, Q2c, Q3c, Q4cを用いて構成したものである。図13において、Q1cはNchMOSトランジスタ、Q2c～Q4cはPchMOSトランジスタである。また、トランジスタQ1c, Q3cにはそれぞれ、信号PRE(バー), REの極性が反転した信号PRE, RE(バー)が印加される。また、電流源21aの入力側に電源電圧VDDが印加され、トランジスタQ1cのソース端子が接地に接続されている。N1c, N2cは寄生容量である。

【0056】図14は、図13に示したセンスユニット1の動作を説明するためのタイミングチャートである。このセンスユニット1の動作は図4に示したセンスユニット1と同じで、信号の極性が反転し、信号(△V)の変化の方向が逆向きになっているだけであり、図4に示したセンスユニット1と同じ効果が得られる。なお、△t経過後の節点N2cの電位上昇△Vは、 $VG + Vth + I \Delta t / (C_f + C_p 1c)$ となる。なお、図8、図10～図12のそれぞれに示したセンスユニット1についても同様に、トランジスタQ1b～Q4b, Q9と異なる極性をもつトランジスタを用いて、同じ効果を得ることができる。

【0057】(第7の実施の形態)図15は、本発明による表面形状認識用センサ回路の第7の実施の形態の構成を示すブロック図である。図15において、図2と同一部分は同一符号をもって示し、その説明を適宜省略する。図2に示した表面形状認識用センサ回路では、検出素子10毎に信号発生回路20、信号増幅回路30及び出力回路40を設け、これらを1組のセンスユニット1とし、複数のセンスユニット1を2次元配列してセンサアレイ2を形成する。この場合、検出動作を並列に処理できるので、検出処理を高速化できる。

【0058】これに対して、信号発生回路20、信号増幅回路30及び出力回路40のうちの少なくとも1つを、複数の検出素子10により共用することもできる。信号発生回路20を共用する場合には、図15(a)に示すように、複数の検出素子10にスイッチSW2で1個の信号発生回路20を選択的に接続する。また、信号増幅回路30を共用する場合には、図15(b)に示すように、複数の信号発生回路20及び出力回路40間に1個の信号増幅回路30をスイッチSW3, SW4で選択的に接続する。このとき、各スイッチSW3, SW4は連動して動作する。また、出力回路40を共用する場合には、図15(c)に示すように、複数の信号増幅回路30にスイッチSW5で1個の出力回路40を選択的に接続する。

18

【0059】このように信号発生回路20、信号増幅回路30及び出力回路40のうちの少なくとも1つを、複数の検出素子10で共用することにより、回路規模や動作電力の低減をはかることができる。なお、互いに近接配置された複数の検出素子10で信号発生回路20、信号増幅回路30及び出力回路40を共用すれば、製造の過程で形成される寄生素子による影響は小さい。また、図8、図10～図12のそれぞれに示したセンスユニット1でも、複数の検出素子10で、信号発生回路20、信号増幅回路31, 32及び出力回路40, 42のうちの少なくとも1つを共用することができる。

【0060】(第8の実施の形態)図16は、本発明による表面形状認識用センサ回路の第8の実施の形態の構成を示すブロック図である。図16において、図7と同一部分は同一符号をもって示し、その説明を適宜省略する。図7における基準信号発生回路50を複数の信号増幅回路31により共用することもできる。この場合、図16に示すように、複数の信号増幅回路31にスイッチSW6, SW7で1個の信号増幅回路31を選択的に接続する。これにより、回路規模や動作電力の低減をはかることができる。また、図10～図12のそれぞれに示したセンスユニット1でも、基準信号発生回路50を複数の信号増幅回路31, 32で共用することができる。

【0061】(第9の実施の形態)図17は、本発明による表面形状認識用センサ回路の第9の実施の形態のセンスユニット1の構成を示すブロック図である。図17において、図4と同一部分は同一符号をもって示し、その説明を適宜省略する。図4に示したセンスユニット1では、センサ電極16と指3の皮膚との間に形成された静電容量Cfからなる検出素子10を用いていたが、これに代えて、弾性特性をもつ可変抵抗素子VRからなる検出素子18を用いてセンスユニット1を構成することができる。

【0062】この場合、図17(a)に示すように、第1の信号発生回路22と検出素子18と信号増幅回路30と出力回路40とがこの順に直列接続されて、センスユニット1が構成される。ここで、信号発生回路22は図6における容量Csによって構成された信号発生回路22である。また、信号増幅回路30は図4における電荷転送形の信号増幅回路30である。可変抵抗素子VRは、指3などの認識対象が接触したときの変形に応じて、抵抗値が変化する素子である。この可変抵抗素子VRの抵抗値の変化に応じて、プリチャージされた電荷が容量Csにより引き抜かれる速度が変化する。この変化を電圧信号として捉えることにより、指紋の凹凸を検出することができる。この他の動作は、基本的に図4に示したセンスユニット1と同様である。

【0063】なお、図17(b)に示すように、信号発生回路22に代えて、電圧源24とスイッチSW8によって構成された第1の信号発生回路23を用いてもよ

(11)

19

い。スイッチSW8は、可変抵抗素子VRと電圧源24との間に接続されている。ただし、電圧源24の電圧Vは、電流が信号增幅回路30から信号発生回路23の方向に流れるように、正から負までの任意の値に設定される。

【0064】図18は、図17に示したセンスユニット1の他の構成を示すブロック図である。図18(a)に示すように、検出素子19として、マイクロマシン技術を用いて形成されたスイッチ素子SWを用いることもできる。この場合、信号発生回路23と検出素子19と信号增幅回路30と出力回路40とがこの順に直列接続されて、センスユニット1が構成される。

【0065】スイッチ素子SWは、指3などの認識対象の接触に基づき回路を開閉する。すなわち、スイッチ素子SWが指紋の凸部により押下されると、信号発生回路23と信号增幅回路30との間を接続するので、プリチャージされた電荷が電圧源24により引き抜かれる。これにより、出力回路40の入力側の電位が低下する。逆に、スイッチ素子SWが指紋の凹部により押下されても、信号発生回路23と信号增幅回路30との間は開放されたままであるから、出力回路40の入力側の電位は低下しない。この電位低下を基に、指紋の凹凸を検出することができる。この他の動作は、基本的に図4に示したセンスユニット1と同様である。また、図18

(b), (c)に示すように、信号発生回路23に代えて、電流源21aを含む信号発生回路20又は容量Csを含む信号発生回路22を用いるもよい。

【0066】なお、図8、図10～図13のそれぞれに示したセンスユニット1に、図17及び図18における検出素子18, 19を、対応する信号発生回路20, 22, 23とともに適用することもできる。ただし、図13に示したセンスユニット1の場合、信号発生回路20, 22, 23から信号增幅回路30の方向に電流が流れるように、信号発生回路20, 22, 23を設定する必要がある。

【0067】(第10の実施の形態) 図19は、図2における信号增幅回路30の他の実現例を示す回路図である。信号增幅回路30は、図19(a)に示すように、電圧信号を増幅する反転増幅器33を用いて実現することができる。Gは電圧増幅度である。また、信号增幅回路30は、図19(b)に示すように、電流信号を増幅するカレントミラー回路34を用いて実現することもできる。nは電流増幅度である。図19(b)では、PchMOSトランジスタQ10, Q11のゲート幅Wを用いて電流増幅するカレントミラー回路34を示したが、これに限定するものではない。また、図7における差動型の信号增幅回路31も、カレントミラー回路を用いて実現することができる。なお、本発明による表面形状認識用センサ回路は、人間の指紋に限らず、例えば動物の鼻紋等の微細な凹凸を有する表面形状の認識に適用され

50

る。

【0068】

【発明の効果】以上説明したように本発明では、検出手段の電気量に応じた信号のレベルを增幅手段で増幅してから出力手段に供給することにより、出力手段の入力信号の減衰を抑制することができる。これにより、ノイズマージンや製造ばらつき等の影響を抑制することができる。したがって、LSI製造技術を用いた指紋センサに本発明による表面形状認識用センサ回路を適用すれば、指紋の凹凸を反映した微小な信号変化を検出できるので、指紋の凹凸パターンの認識を高精度化できる効果がある。特に、指紋の凹凸パターンを高解像度化するために、2次元配列した検出手段を小型化する場合に効果大である。

【0069】また、請求項2記載の発明では、検出手段と第1の信号発生手段と增幅手段とを互いに近接配置することにより、検出素子に接続される寄生容量等の寄生素子を小さくすることができる。すなわち、信号減衰に寄与する寄生素子の形成を抑制することができるので、表面形状の検出精度を向上させることができる。また、請求項3記載の発明では、さらに出力手段を増幅手段に近接配置することにより、請求項2記載の発明の効果を高めることができる。

【0070】また、請求項4～6記載の発明ではそれぞれ、第1の信号発生手段、増幅手段又は出力手段を複数の検出手段で共用することにより、回路規模及び動作電力の低減をはかることができる。また、請求項7記載の発明では、第1の信号発生手段、増幅手段及び出力手段を検出手段毎に設けることにより、検出動作を並列に処理することができるので、検出処理を高速化することができる。また、請求項8記載の発明では、検出手段と出力手段との間に第1の素子を接続し、この第1の素子のしきい値電圧を利用することにより、検出手段に接続された寄生容量が大きくても、検出手段の電気量に応じた信号のレベルを大きくすることができる。これにより、請求項1記載の発明と同様の効果が得られる。

【0071】また、請求項9記載の発明では、基準信号発生手段を設け、検出手段の電気量に応じた信号と基準信号それぞれの信号レベルの大小に基づき、増幅手段の増幅度を変化させる。例えば、請求項10記載の発明のように、前者が後者より小さい場合には増幅度を小さくし、前者が後者より大きい場合には増幅度を大きくする。これにより、検出手段の電気量に応じた信号のレベルの大小を増長させることができる。例えば指紋センサでは、指紋の凹凸を反映した微小な信号が検出対象になる。しかし、この発明によれば、表面形状の凹部と凸部の区別が明確になるので、表面形状の検出精度を向上させることができる。

【0072】また、請求項14記載の発明では、第1及

20

(12)

21

び第2の素子を交差接続して増幅手段を構成することにより、請求項9記載の発明を実現することができる。また、リーク電流による信号変化を相殺できるので、リーク電流による誤動作を防止できるという利点もある。また、請求項15記載の発明では、差動形の出力手段を用いることにより、電源変動等に対するノイズマージンを大きくすることができる。また、請求項16記載の発明では、第1及び第2の素子それぞれの他方の出力端子間を接続する第3のスイッチ手段を用いることにより、第2のスイッチ手段を構成する素子の特性のばらつきに基づく表面形状の検出精度の低下を抑制することができる。

【0073】また、請求項17記載の発明では、基準信号発生手段を増幅手段に近接配置することにより、寄生容量等の寄生素子を小さくすることができるので、表面形状の検出精度を向上させることができる。また、請求項18記載の発明では、基準信号発生手段を複数の増幅手段で共用することにより、回路規模及び動作電力の低減をはかることができる。

【図面の簡単な説明】

【図1】 本発明による表面形状認識用センサ回路の第1の実施の形態の全体を示す斜視図である。

【図2】 図1に示したセンスユニットの構成を示すブロック図である。

【図3】 図2に示した検出素子の構成を示す断面図である。

【図4】 図2に示したセンスユニットの回路図である。

【図5】 図4に示したセンスユニットの動作を説明するためのタイミングチャートである。

【図6】 図2に示したセンスユニットの他の構成を示す回路図である。

【図7】 本発明による表面形状認識用センサ回路の第2の実施の形態のセンスユニットの構成を示すブロック図である。

【図8】 図7に示したセンスユニットの回路図である。

【図9】 図8に示したセンスユニットの動作を説明するためのタイミングチャートである。

【図10】 本発明による表面形状認識用センサ回路の第3の実施の形態のセンスユニットの回路図である。

【図11】 本発明による表面形状認識用センサ回路の第4の実施の形態のセンスユニットの回路図である。

(12)

22

【図12】 本発明による表面形状認識用センサ回路の第5の実施の形態のセンスユニットの回路図である。

【図13】 本発明による表面形状認識用センサ回路の第6の実施の形態のセンスユニットの回路図である。

【図14】 図13に示したセンスユニットの動作を説明するためのタイミングチャートである。

【図15】 本発明による表面形状認識用センサ回路の第7の実施の形態の構成を示すブロック図である。

【図16】 本発明による表面形状認識用センサ回路の第8の実施の形態の構成を示すブロック図である。

【図17】 本発明による表面形状認識用センサ回路の第9の実施の形態のセンスユニットの構成を示すブロック図である。

【図18】 図17に示したセンスユニットの他の構成を示すブロック図である。

【図19】 図2における信号増幅回路の他の実現例を示す回路図である。

【図20】 従来の表面形状認識用センサ回路の1ユニットの構成を示すブロック図である。

【図21】 図20に示した表面形状認識用センサ回路の配置図である。

【図22】 図20に示した表面形状認識用センサ回路の回路図である。

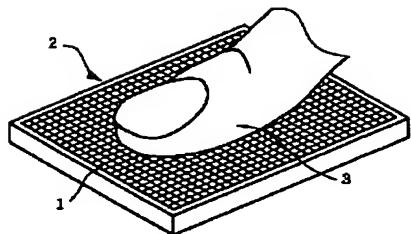
【図23】 図22に示した表面形状認識用センサ回路の動作を説明するためのタイミングチャートである。

【符号の説明】

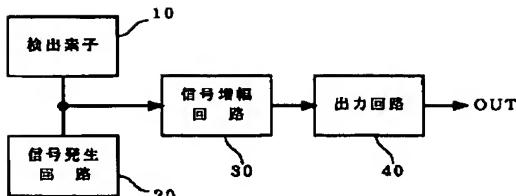
1…センスユニット、 2…センサアレイ、 3…指、 10, 18, 19…検出素子、 11…半導体基板、 12, 14…絶縁膜、 13…配線、 15…プラグ、 16…センサ電極、 17…パシベーション膜、 20, 22, 23, 52…信号発生回路、 21a…電流源、 24…電圧源、 30～32…信号増幅回路、 33…電圧増幅器、 34…カレントミラー回路、 40, 42…出力回路、 41…インバータゲート、 50…基準信号発生回路、 51…基準素子、 C<sub>f</sub>, C<sub>r</sub>, C<sub>s</sub>, …容量、 C<sub>p1a</sub>, C<sub>p2a</sub>, C<sub>p1b</sub>, C<sub>p2b</sub>, C<sub>p1c</sub>, C<sub>p2c</sub>…寄生容量、 N<sub>1a</sub>, N<sub>2a</sub>, N<sub>1b</sub>, N<sub>2b</sub>, N<sub>1c</sub>, N<sub>2c</sub>…節点、 P<sub>RE</sub>, R<sub>E</sub>…信号、 R<sub>a</sub>, R<sub>b</sub>…抵抗、 Q<sub>1a</sub>～Q<sub>4a</sub>, Q<sub>1b</sub>～Q<sub>4b</sub>, Q<sub>1c</sub>～Q<sub>4c</sub>, Q<sub>5</sub>～Q<sub>11</sub>…MOSトランジスタ、 S<sub>W</sub>…スイッチ素子、 S<sub>W1</sub>～S<sub>W9</sub>…スイッチ、 V<sub>DD</sub>, V<sub>G</sub>…電圧、 V<sub>R</sub>…可変抵抗素子、 V<sub>th</sub>…しきい値電圧、 Δ<sub>t</sub>…期間、 Δ<sub>V</sub>…電位低下。

(13)

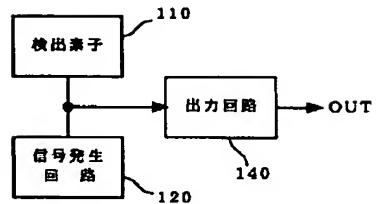
【図1】



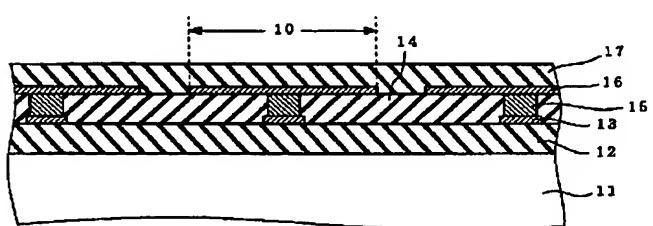
【図2】



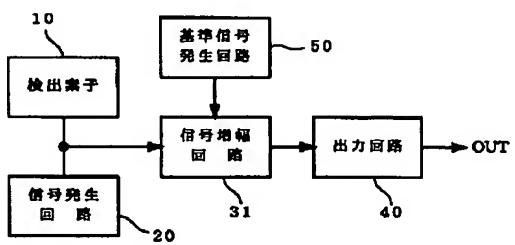
【図20】



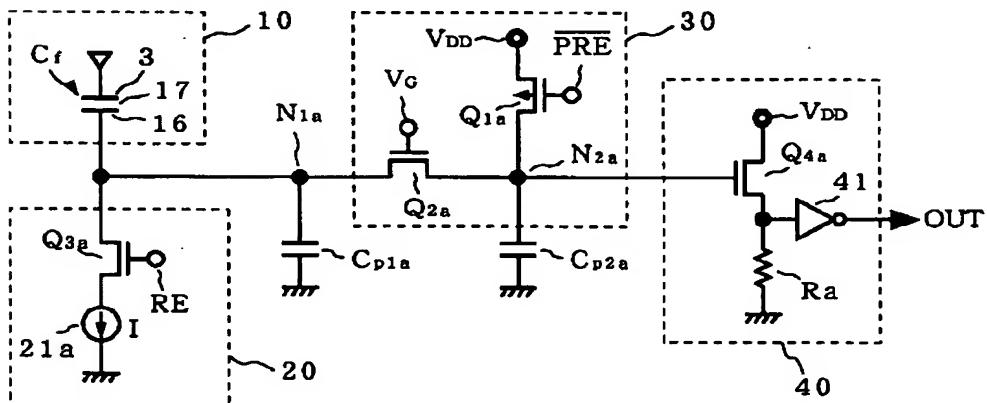
【図3】



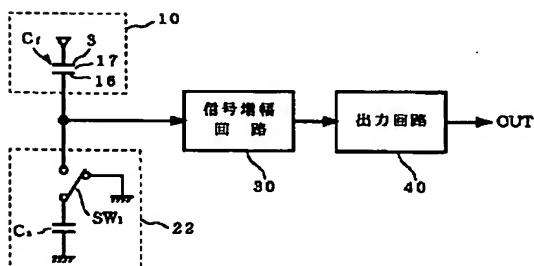
【図7】



【図4】

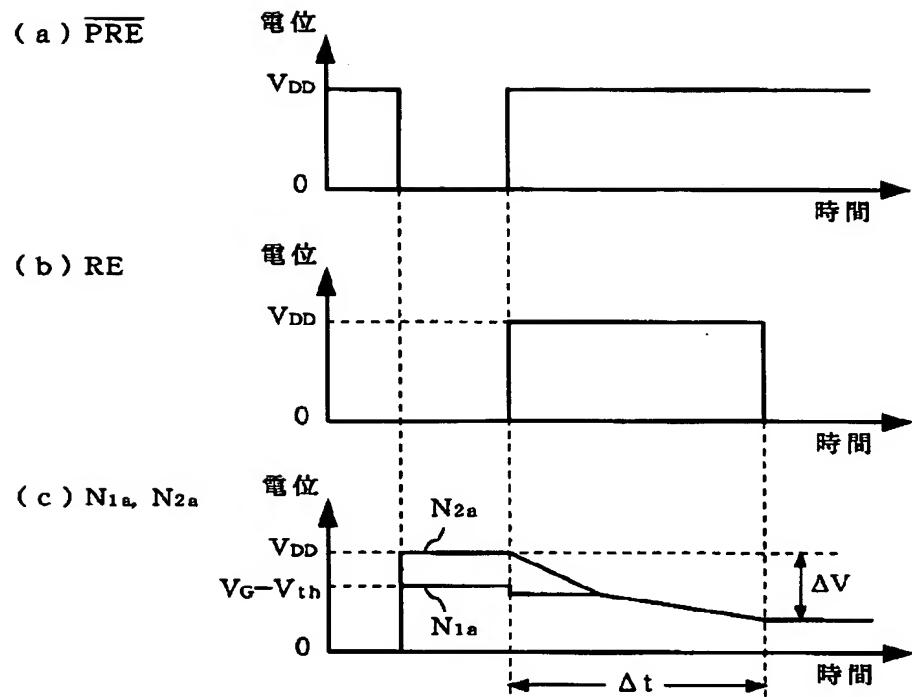


【図6】

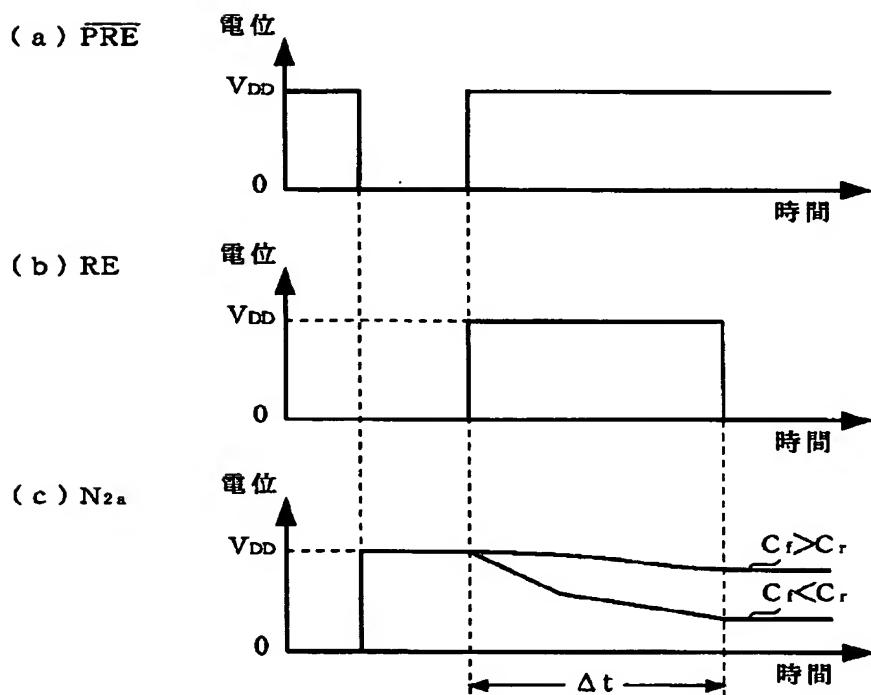


(14)

【図5】

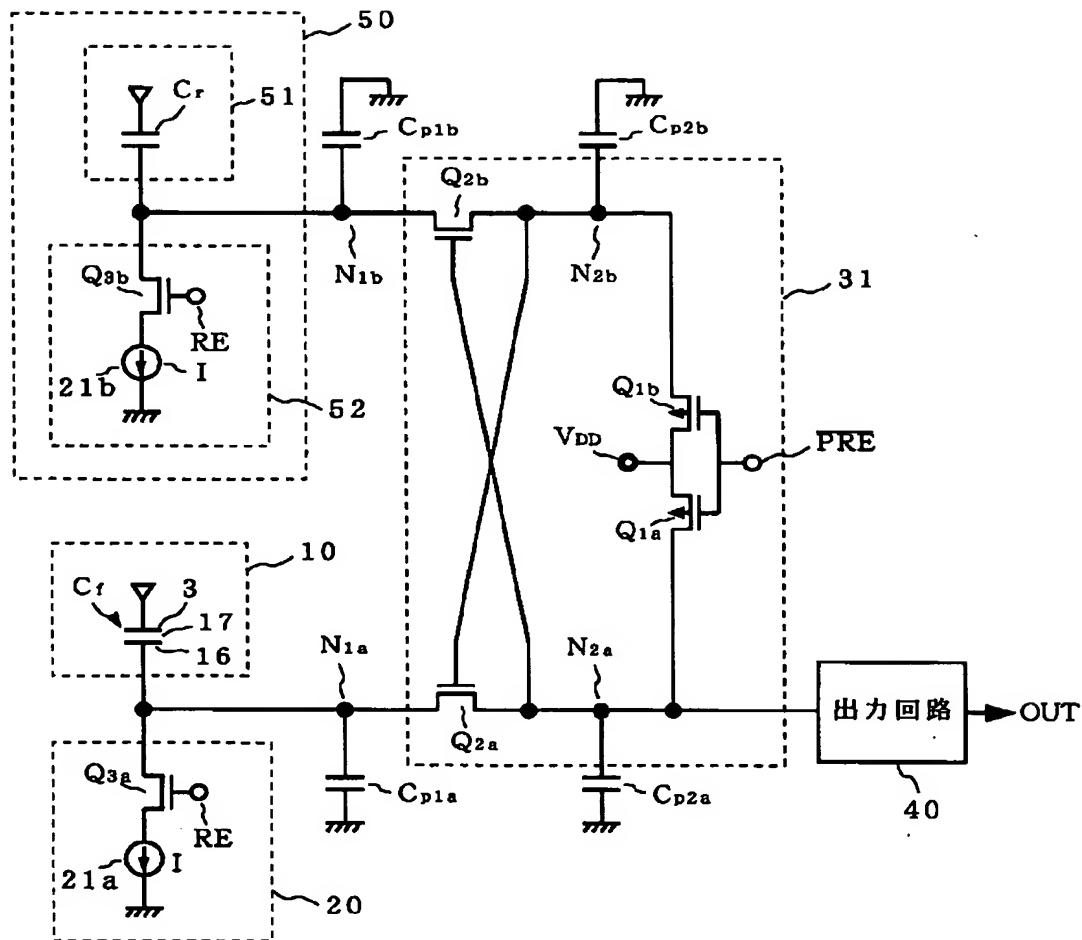


【図9】

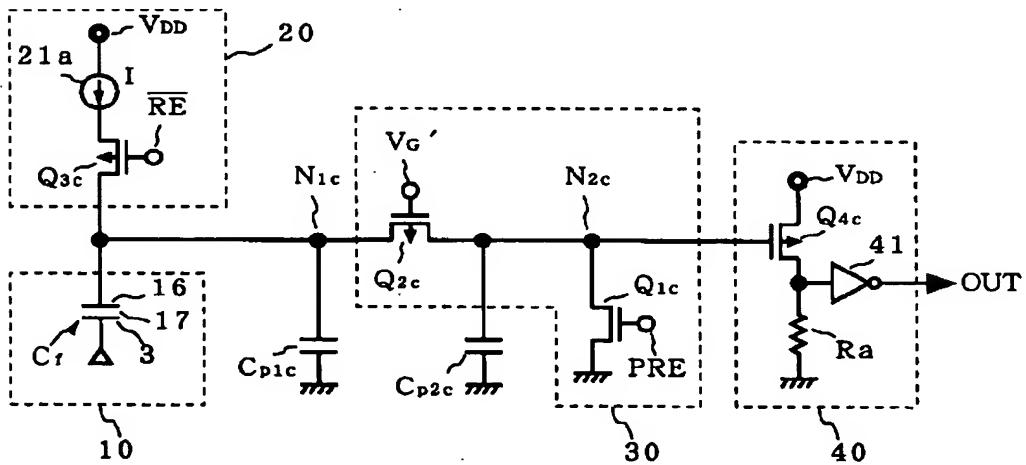


(15)

【図8】

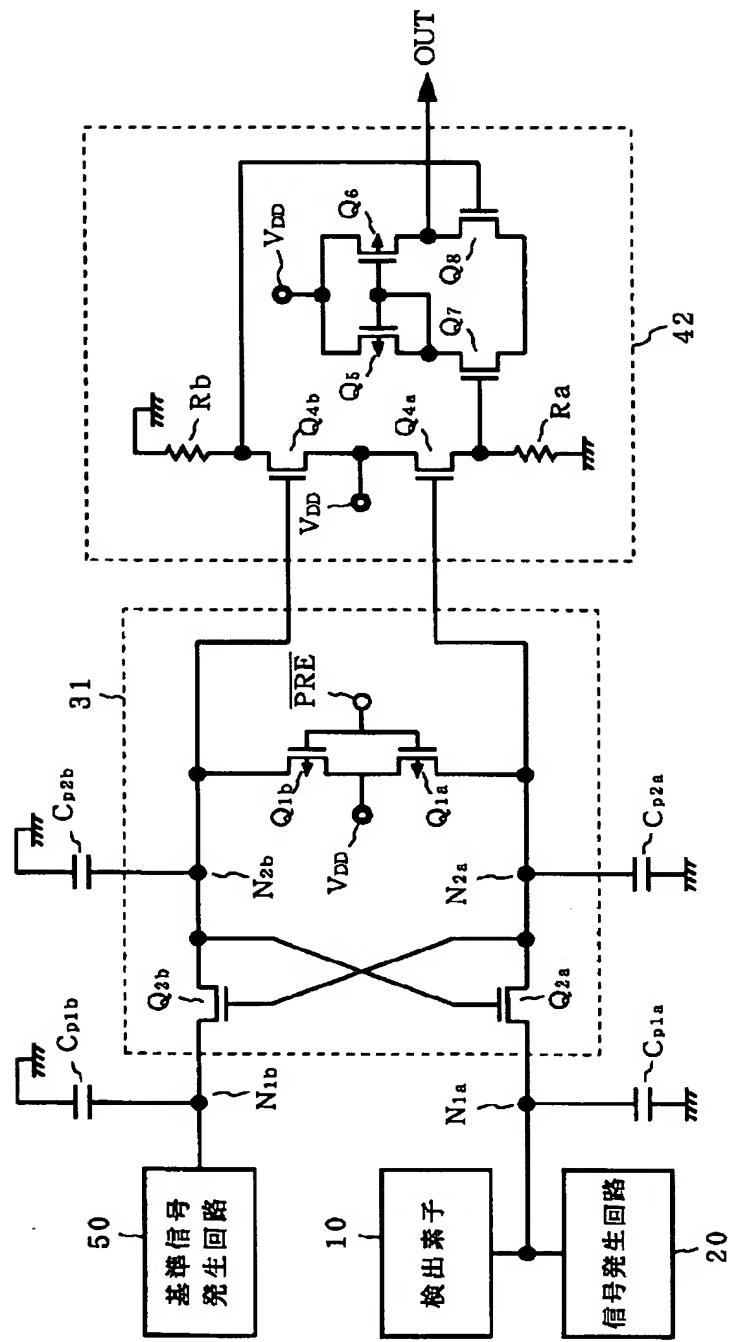


【図13】



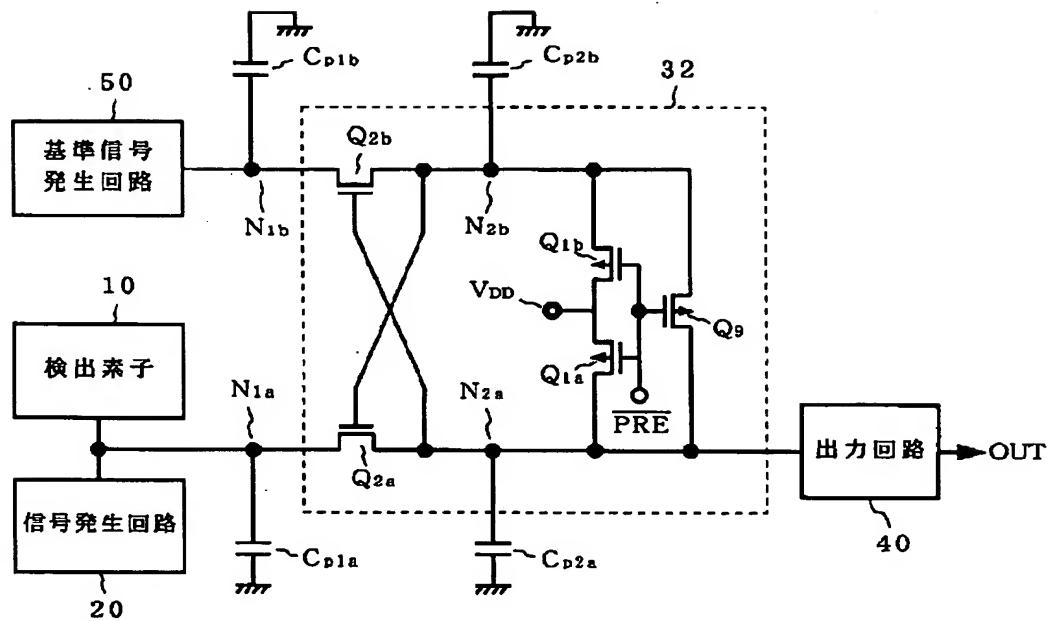
(16)

【図10】

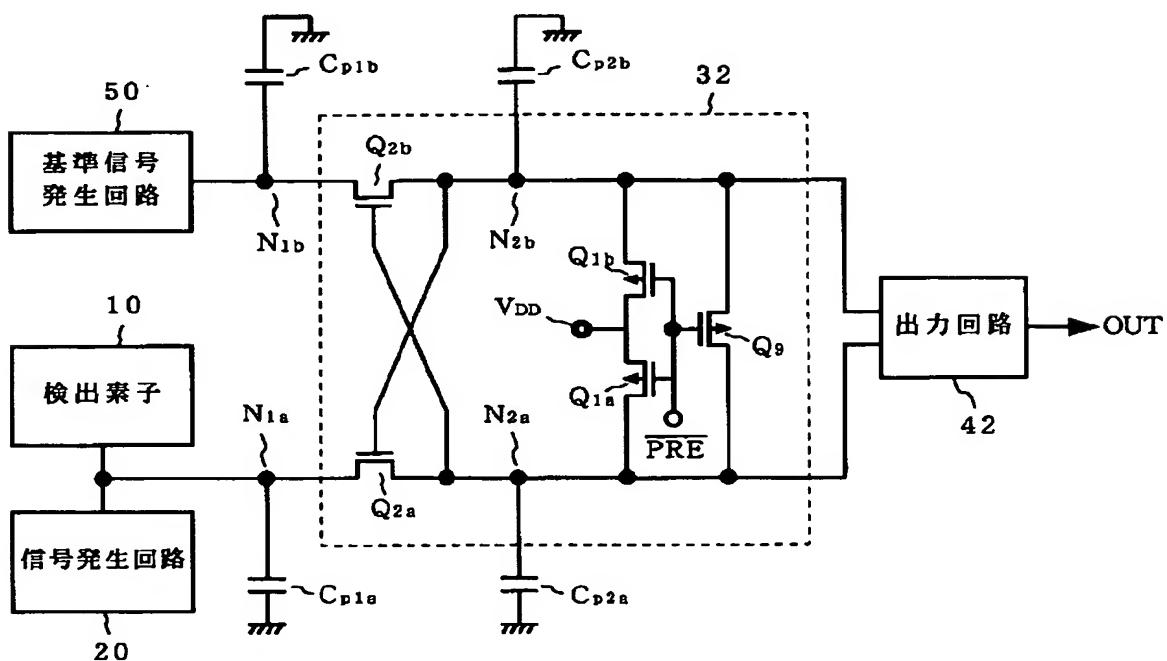


(17)

### 【図11】

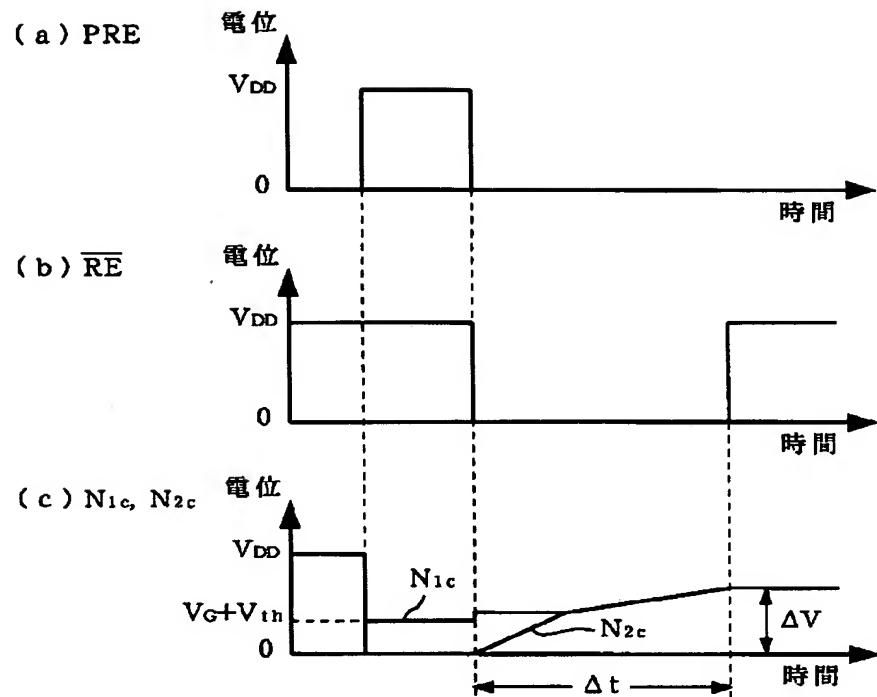


[図12]

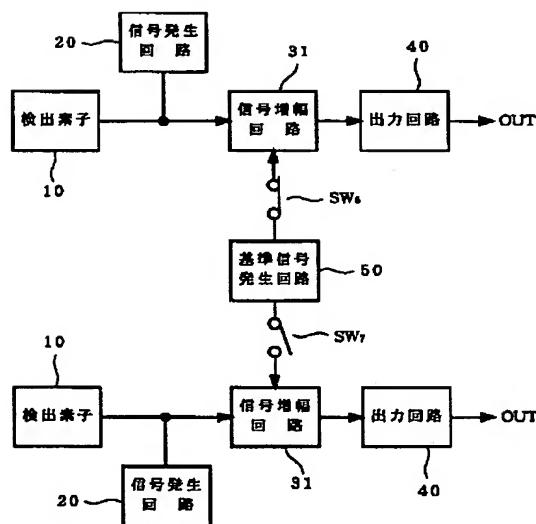


(18)

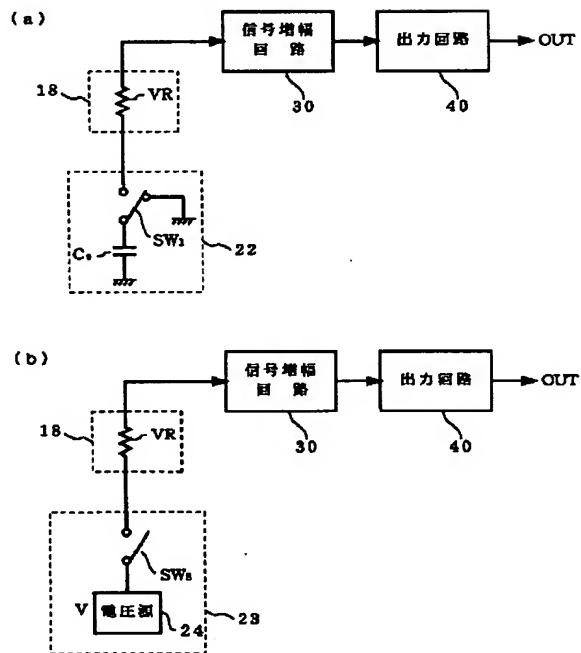
【図14】



【図16】

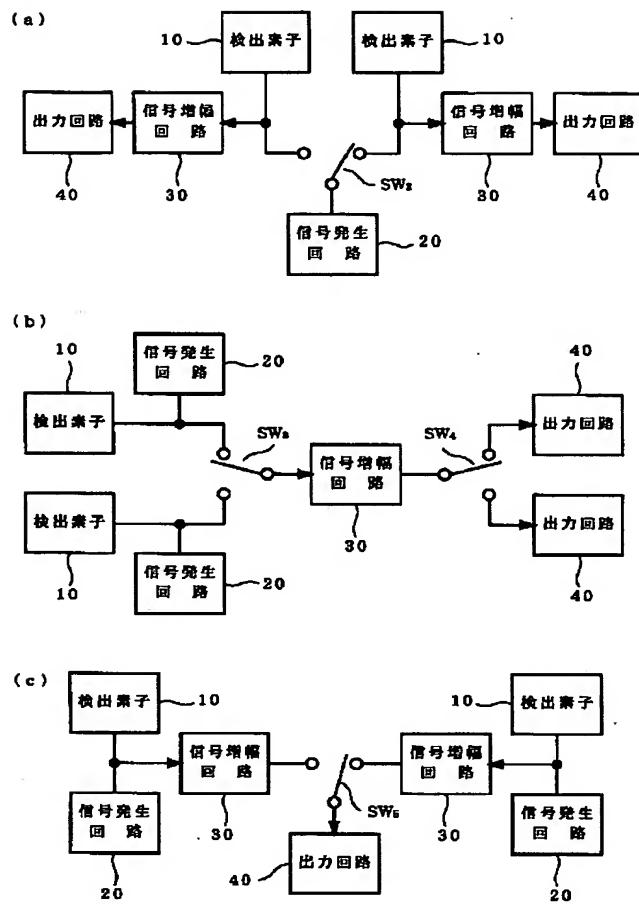


【図17】

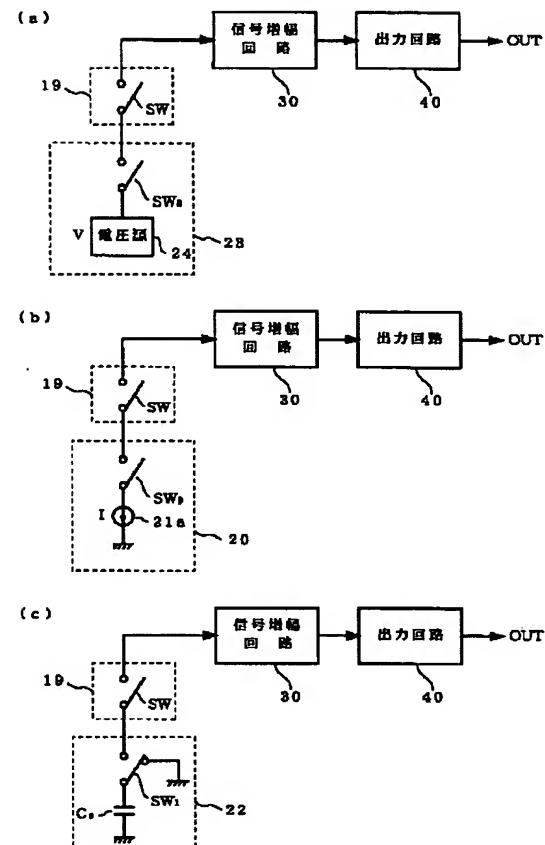


(19)

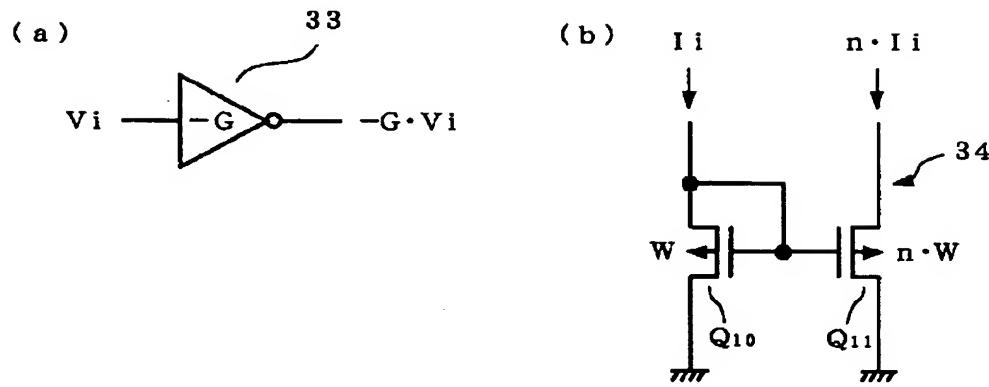
【図15】



【図18】

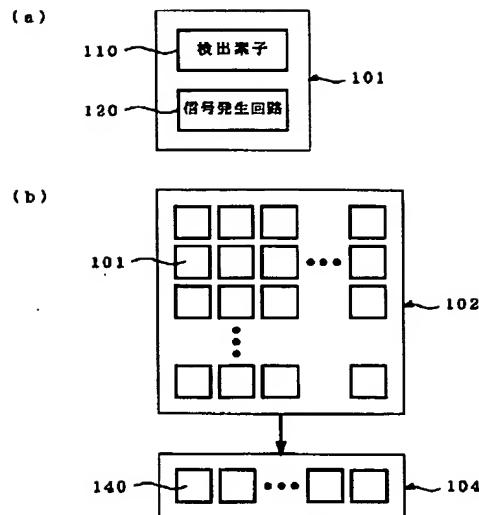


【図19】

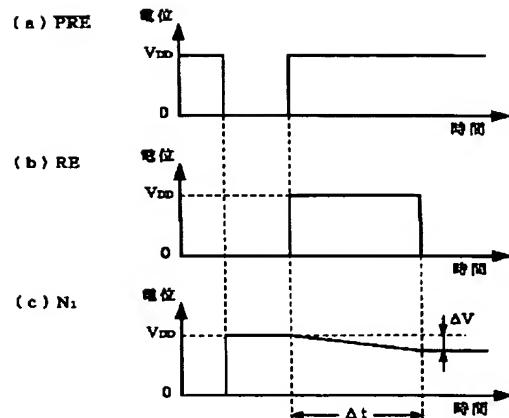


(20)

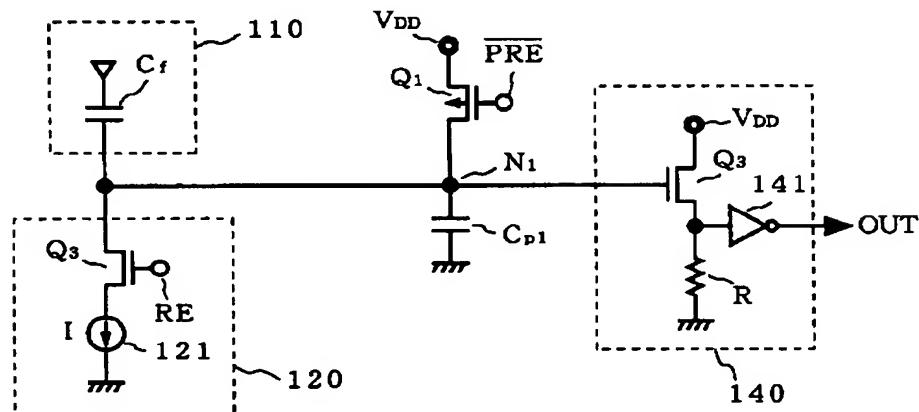
【図21】



【図23】



【図22】



フロントページの続き

(72) 発明者 町田 克之

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 枚田 明彦

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

F ターム (参考) 2F063 AA43 BA29 DA02 DA05 DD07

EC00 HA04 LA11

5B047 AA25 AA30 BA02 BB04

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.